

(19)日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11)特許出願公表番号

特表2001-506367

(P2001-506367A)

(43)公表日 平成13年5月15日 (2001.5.15)

(51)Int.Cl.⁷

G 0 1 R 31/28

識別記号

F I

マーク (参考)

G 0 1 R 31/28

H

審査請求 未請求 予備審査請求 有 (全 77 頁)

(21)出願番号 特願平10-530071
(86) (22)出願日 平成9年12月12日(1997.12.12)
(85)翻訳文提出日 平成11年6月21日(1999.6.21)
(86)国際出願番号 PCT/US97/23073
(87)国際公開番号 WO98/29898
(87)国際公開日 平成10年7月9日(1998.7.9)
(31)優先権主張番号 60/033,571
(32)優先日 平成8年12月19日(1996.12.19)
(33)優先権主張国 米国(US)
(31)優先権主張番号 08/824,186
(32)優先日 平成9年3月26日(1997.3.26)
(33)優先権主張国 米国(US)

(71)出願人 シムド ソリューションズ インコーポレ
イテッド
アメリカ合衆国 95120 カリフォルニア
州 サンノゼ アルマデン ビレッジ
レーン 1075
(72)発明者 ロックオフ, トッド, イー.
アメリカ合衆国 95120 カリフォルニア
州 サンノゼ アルマデン ビレッジ
レーン 1075
(74)代理人 弁理士 谷 義一 (外2名)

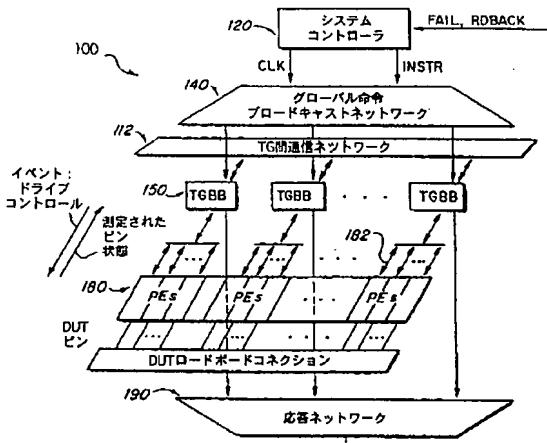
最終頁に続く

(54)【発明の名称】 I-Cached SIMDテクノロジを採用したスケーラブルテスターアーキテクチャ

(57)【要約】

I-Cached SIMDテクノロジを採用したスケーラブル
テスターアーキテクチャが開示されている。具体的には、
SIMD (Single Instruction-stream Multiple Data-
Stream) 構成を採用した高速半導体テスタシステムが開
示されている。このテスタシステムは、イベントジェネ
レータアレイと、DUT (device under test) に接続す
るための複数のピンチャネルと、イベントジェネレータ
を個々のDUTピンチャネル・コネクションに割り当てる
ための再構成可能アロケータスイッチと、マルチクロ
ッキングと、SIMD命令キャッシュとを含んでいる。
このテスタデジタルシステムによれば、最大の性能対ハ
ードウェアコスト比が得られる。

Fig. 6



【特許請求の範囲】

1. 入出力信号バスの働きをしてテスタ回路に結合するための複数の電気的コンタクト入出力ピンをもつテスト対象デバイス（D U T）をテストするための单一命令ストリーム複数データストリーム（S I M D）半導体チップテスタ装置であって、該半導体テスタは、

D U Tの前記複数のピンに対応していて、そこに1対1の関係でオペレート状態で接続するための複数のピンエレクトロニクス回路と、

個別的に対応するピンエレクトロニクス回路に結合されて、対応するD U Tピンと通信するための同数の複数のピンチャネルと、

システムクロックを生成し、少なくとも1つのテストプログラムをストアし順序づけるためのデジタルシステムコントローラと、

前記デジタルシステムコントローラに応答してオペレートする複数のT Gモジュールであって、各モジュールは、D U Tをテストするために正確にタイミングがとられたドライブイベントとストローブイベントの、予め定めたシーケンスを発生するためにT Gのアレイがそこに形成されているシングル半導体チップであり、前記T Gは前記ピンチャネルのうち選択したものとオペレート状態で関係付けしてが可能であるものと、

T Gモジュールを制御し、調整し、メモリ増補するための複数のマルチチップサブシステムとを備えていて、各T Gモジュールは前記マルチチップサブシステムと該モジュール内のT Gの各々間を結ぶインターフェースコネクションをさらに含んでいることを特徴とするテスタ装置。

2. 請求項1に記載のテスタ装置において、システムコントローラからのクロック情報と命令を前記T Gモジュールに配達するためのグローバル命令ブロードキャストサブシステムと、該T Gからのテストステータス情報を収集し、それを前記システムコントローラに戻すための応答サブシステムと、T Gモジュール内に実現されたインターフェースを内蔵するD U T入出力サブシステムとをさらに

含み、前記インターフェースは該T Gと前記ピンチャネル間を結ぶコネクションを備えていることを特徴とするテスタ装置。

3. 請求項1に記載のテスタ装置において、各TGは少なくとも1つのイベントカルキュレータ回路と少なくとも1つのイベントコンバータ回路を含み、前記イベントカルキュレータ回路はデジタル回路設計手法を使用して実現されていて、前記イベントコンバータ回路はアナログ回路設計手法を使用して実現されている動的に再構成可能なプログラマブルディレイ回路を含んでいることを特徴とするテスタ装置。

4. 請求項3に記載のテスタ装置において、前記TGのイベントカルキュレータ回路の各々はTGの柔軟性とスケーラビティを向上するプログラマブル処理要素であることを特徴とするテスタ装置。

5. 請求項4に記載のテスタ装置において、前記プログラマブル処理要素は汎用目的の計算能力を備えていることを特徴とするテスタ装置。

6. 請求項5に記載のテスタ装置において、前記プログラマブル処理要素は算術論理演算ユニットと、リードポートとライトポートをもつレジスタファイルと、前記マルチチップサブシステムとのインタフェースであって、機能ユニットと同等の働きをする複数のインタフェースと、コンテキスト管理ユニットとを装備し、該処理ユニットはレジスタ間オペレーションを条件付きで実行し、該マルチチップサブシステムを介してレジスタファイルデータをやりとりする能力を備えていることを特徴とするテスタ装置。

7. 請求項2に記載のテスタ装置において、前記TGモジュールを相互接続し、前記デジタルシステム内のペアの種々TGが中間テスト情報と他のデータをやりとりすることを可能にする通信サブシステムをさらに含んでいることを特徴とするテスタ装置。

8. 請求項1に記載のテスタ装置において、前記TGモジュールはグローバルにブロードキャストされた命令を、該TGモジュール内で前記マルチチップサブシステムのインタフェースと前記アレイ内の各TGに再ブロードキャストするための命令にデコードする能力を備えたローカルコントローラを備えていることを特徴とするテスタ装置。

9. 請求項2に記載のテスタ装置において、シングルチップTGモジュール内に

実現可能である容量以上のメモリ容量をTGにもたせるローカル外部メモリサブシステムをさらに含み、各ローカル外部メモリサブシステムは少なくとも1つのメモリチップをもつ複数のメモリモジュールから構成され、前記ローカル外部メモリサブシステムの各々は前記TGの独自の1つと1対1の関係で関係付けられていることを特徴とするテスタ装置。

10. 請求項2に記載のテスタ装置において、前記デジタルシステムはTGをピンチャネルに割り当てる再構成可能アロケータ回路を含み、前記TGのソフトウェアで指定された複数のサブセットは前記ピンチャネルと関係付けられて、前記ソフトウェアで指定されたサブセットの各々は該ピンチャネルの独自の1つと1対1に関係付けされて、該ソフトウェアで指定されたサブセットの各々の各TGによって発生されたイベントを多重化して該ピンチャネルの前記独自の1つに現れるようになるとともに、該ピンチャネルの各々の観察されたピンの値出力をTGのソフトウェアで指定された各関連サブセットに配達するようにしたことを特徴とするテスタ装置。

11. 請求項10に記載のテスタ装置において、前記TGの前記ソフトウェアで指定されたサブセットは相互に非連続であることを特徴とするテスタ装置。

12. 請求項10に記載のテスタ装置において、前記再構成可能アロケータ回路は機能テストの実施期間に該再構成可能アロケータ回路の再構成を可能にする

ことによってランタイム再割り当てを行う構成になっており、前記再構成はグローバルにブロードキャストされた命令に応答して行われることを特徴とするテスタ装置。

13. 請求項12に記載のテスタ装置において、前記再構成可能アロケータ回路は前記TGの各々と前記ピンチャネルの1つひとつの間をコネクションパスで結ぶ能力をもつクロスバースイッチを含んでいることを特徴とするテスタ装置。

14. 請求項10に記載のテスタ装置において、前記再構成可能アロケータ回路は前記TGの各々と前記ピンチャネルの各々とを多対1でマッピング（対応づける）第1の構成を含んでいることを特徴とするテスタ装置。

15. 請求項14に記載のテスタ装置において、前記再構成可能アロケータ回路

は多数対多数でマッピングする第2の構成をさらに含み、前記TGの各々は前記ピンチャネルの少なくとも1つと関係付けしてられ、該ピンチャネルの各々は複数の該TGと関係付けしてられていることを特徴とするテスタ装置。

16. 請求項10に記載のテスタ装置において、前記再構成可能アロケータ回路は前記TGと前記ピンチャネルとの間の取り得るコネクションのセットから選択した正しいサブセットを提供する回路トポロジを含んでいることを特徴とするテスタ装置。

17. 請求項10に記載のテスタ装置において、前記再構成可能アロケータ回路は前記TGモジュールの各々と1対1で関係付けしてられているクロスバースイッチを含み、該クロスバースイッチは前記アレイ内の全てのTGモジュールと、該TGモジュールと関係付けしてられた前記ピンチャネルの1つひとつの間を複数のパスで結んでいることを特徴とするテスタ装置。

18. 請求項10に記載のテスタ装置において、前記再構成可能アロケータ回

路は、さらに、

前記TGと複数の前記ピンチャネルとの間の選択的に使用可能にされる電気的パスと、

該TGの各々からの使用可能なパスのうち正確に1つを使用可能にするメモリベース構成の制御回路と、

該ピンチャネルの各々と関係付けしてられたTGからの制御信号を、前記制御メモリの内容から判断して結合する少なくとも1つの時間ドメイン・エッジマルチプレクサと、

測定されたピンの値を該ピンチャネルの各々と関係付けしてられたTGに、該制御メモリの内容から判断して配達する少なくとも1つのアナログデマルチプクサとを含んでいることを特徴とするテスタ装置。

19. 単一命令ストリーム複数データストリーム(SIMD)半導体テスタで使用されるTGモジュールであって、該TGモジュールは、

全体的にプログラマブルなTGのアレイと、

印加されたテスタシステムクロック信号に応答して複数のハイレートクロッ

ク信号を生成するようにオペレートするマルチクロックジェネレータ回路をもつ少なくとも1つのマルチクロックジェネレータと、

前記TGを制御するためのプログラム命令を受け取ってストアしておく手段とを備え、

生成された複数のハイレートクロック信号はTGモジュール内にあって、そこに接続された種々のサブシステムを、各々がその物理的実装によって決まる最大レートのオペレーションで制御するようにしたことを特徴とするTGモジュール。

20. 請求項19に記載のTGモジュールにおいて、命令をストアしておくキャッシュ要素と、それに関係付けしてられたキャッシュコントローラとをさらに含み、前記キャッシュコントローラはグローバルにブロードキャストされた命令に応答して、選択した命令をキャッシュ要素にストアしておくとともに、指定

された命令シーケンスをリトリープしてTGモジュール内でローカルに再ブロードキャストするようにオペレートすることを特徴とするTGモジュール。

21. 単一命令ストリーム複数データストリーム(SIMD)半導体テスタデジタルシステムであって、

システムクロックレートで発振するシステムクロック信号で制御されるグローバル命令ブロードキャストネットワークと、

第2のクロック信号で制御されるマルチチップサブシステムと、

前記グローバル命令ブロードキャストネットワークとマルチチップサブシステムに結合されたTGモジュールとを備え、該TGモジュールはシングチップ上に実装されているとともに、

第3のクロック信号によって制御される第1内部サブシステムと、

第4のクロック信号によって制御される第2内部サブシステムと、

前記システムクロック信号に応答して、前記第2、第3、および第4クロック信号を含む複数のクロック信号を生成するようにオペレートするマルチクロック生成回路とを含んでいて、該第3および第4クロック信号の一方は該システムクロックレートより高速のTGモジュールのクロックレートで発振するTG

モジュールのクロック信号であり、該第2クロック信号は該システムクロックレートよりも高速であるが、前記T Gモジュールのクロック信号よりも高速でないマルチチップサブシステムのクロックレートで発振するようにしたことを特徴とするS I M D半導体テスタデジタルシステム。

【発明の詳細な説明】

I-Cached SIMDテクノロジを採用した スケーラブルテスターアーキテクチャ

発明の背景

発明の分野

本発明は、並列コンピュータ、半導体テスト装置に関し、具体的には、設計および品質管理の目的のために半導体デバイスの製造において使用される装置のエンジニアリングに関する。

関連技術の説明

チップ製造工程でテストが行われるのは、主に、処理されたダイスが、チップ設計者の期待する機能的性能および電気的性能に合致しているかどうかを判定するためである。チップメーカーがこのような性能比較を半導体製造パイプラインの「バックエンド」で行なうことができる主要な装置の1つに、テスタがある。

テスト工程でのチップはDUT(device under test)という。周知のように、チップには、当該チップを制御し当該チップからの応答を受信する関連回路と通信する入出力信号のためのバスとしてサーブする複数の電気接触ピンがある。テスタによるDUTの検査は、テストプロセス工程では、当該チップの入力端子に波形を供給し、同時に、その出力端子を観察することにより行われる。

テスタの要件は厳重である。すなわち、テスタが生成し測定できなければならぬ波形は、波形の遷移レート(transition rate)がDUTのクロックレートより数桁大きくなければならないし、また、テスタが正確に維持できなければならぬタイミングの精度は、DUT仕様の分解能よりも数桁高くなければならない。

テストの結果は種々に使用されている。製造工程では、出力波形の観察結果は、当該チップ内に電気的欠陥が存在しないことを立証するのに使用されている。故障解析では、エンジニアが内部ノードをプローブしている間に、テスタにより無

限繰り返しパターンでチップをシミュレートすることができる。テスト工程での

個々の入力信号遷移または出力信号測定は、「ピンイベント(pin event)」と呼ばれるか、単に「イベント」と呼ばれている。

最新設計のチップの特性を調べるために、イベントが生じるタイミングをテストにより変化させて、入力ラッチ制御信号に対する入力信号のセットアップとホールドのマージンを測定するとともに、入力端子から出力端子への伝播遅延を測定するようにしている。チップ設計段階でのテスト結果により、主要回路のオペレーション原理が有効なものとされる。

入力波形に対して生成され、出力波形に対して期待される電気特性は、チップメーカーの電圧と電流とスルーレート仕様から得られる。入力波形を発生し出力波形を測定するサブ回路の集まりは、P E (Pin Electronics回路) である。P E はアナログデバイスであって、その精度と、柔軟性と、パワー・バンド幅積は、テスタの主要仕様の1つである。P E の内部設計は本発明の範囲外である。

機能テスト工程では、入力波形に生じるか出力波形に現れると期待される論理状態のシーケンスは、テストプログラムからアルゴリズムに従って作成される。最新のテスタの心臓部は、各D U T ピンごとにイベントのシーケンスを生成するデジタルシステムである。あるピンに現れるドライブイベント(drive event)の指示により、当該ピンのP E ドライバが入力波形を変更する。あるピンに現れるストローブイベント(strobe event)は、当該ピンの論理値の測定であって、測定電気値から当該ピンのP E コンパレータによって変換されたものである。各ドライブイベントはP E に送られる制御信号が正確なタイミングで変化することよりなり、各ストローブイベントはピンの出力レベルの測定を期待値に正確なタイミングで突き合わせることよりなる。

あるイベントは、デジタル表現で、タイプ (アクション、値など) とタイムを指定する。イベントタイプとは、可能なイベントのうちの1つに名前を付けるデジタルコードワードである。イベントの典型的な例としては、「drive input to logic 0 (入力をロジック0にドライブ)」と、「stop driving input (入力のドライブ停止)」と、「check output for logic 1 (出力がロジック1か否かの検査)」と、「stop checking output (出力検査の停止)」がある。イベントタ

イムは、幾つかの予め定めた時間間隔を、イベントタイムコードの最下位ビットに対応する整数倍数で指定したものがある。デジタルコード化されたイベントは、それぞれ、指定されたタイムの近くに現れるイベントに変換される。指定されたイベントタイムの近く（テスタが保証する）とは、「エッジプレースメント精度(edge placement accuracy)」として知られるものであって、テスタの主要な仕様の1つになっている。

1982年にIBM社のTester-per-Pinアーキテクチャが出現し、その後、そのアーキテクチャを、ほぼ全てのテスタメーカーがなんらかの形で採用したことに伴い、テスタの有するデジタルシステムは、SIMD (Single Instruction-Stream/Multiple Data-Stream) コンピュータに酷似したものになった。典型的なSIMDコンピュータは、1つ以上のシングルチップ処理要素モジュールから構成され、各処理要素モジュールは1つ以上の処理要素と、マルチチップサブシステム（MSC ; multi-chip subsystem）へのインターフェースとを有する。これらの処理要素はSIMDコンピュテーションのワークロードを一手に引き受け、他方、これらマルチチップサブシステムは処理要素間の調整を行っている。

SIMDコンピュータ・アーキテクチャを有する慣用のテスタのデジタルシステム10の例を図1ないし図5に示す。システムコントローラ20は多くのプログラムを稼働させている。これら多くのプログラムには、テスタのOS (operating system) と、テストプログラム開発環境（コンパイラおよびデバッガ）と、結果解析ツールと、DUT故障解析ツールとが含まれている。デジタルシステムの目的のために、システムコントローラ20によって実行される主要機能には、テストプログラムをストアすることと、順序づけをする(sequencing)ことがある。

デジタルシステム10（高速システムとしても知られている）は、テスタの主要なアルゴリズムコンポーネント(algorithmic component)である。デジタルシステム10は、図4および図5に示すように、TG (timing generator) 70（イベントジェネレータということもある）のアレイを備え、これらのTGは单一のシステムコントローラ20によって集中監視されている。TG70群は、ピンチャネル82を介して、各DUTピンのPE80回路に接続されている。

P E 8 0 回路に含まれるものには、入力波形を発生するドライバと、出力波形を基準レベルと突き合わせて測定するコンパレータとがある。ピンチャネル 8 2 は、T G 7 0 のドライブ制御出力を P E のドライブ制御入力にファンインし、P E のコンパレータ出力を T G 7 0 の測定ピン値入力にファンアウトする。個々のイベントは正確なタイミングのアクションからなる次の 4 クラスに分類される。

- (1) ピン入力をドライブする P E ドライバの状態の変更（ドライバオン／ドライバオフ）
- (2) P E ドライバによってピン上にドライブされる値の変更（ロジック 1／ロジック 0）
- (3) ピン出力の観察ステータスの変更（比較開始／比較停止）
- (4) ピン出力値の瞬時観察（ロジック 1 を比較／ロジック 0 を比較）

テストラン中、システムコントローラ 2 0 はテストプログラムを実行する。システムコントローラ 2 0 は命令シーケンスを T G 7 0 のアレイにブロードキャストし、この命令シーケンスを受けた T G は、各 D U T ピンごとに、イベントシーケンスを発生する。T G 7 0 はイベントタイプと適用タイムをデジタルコードで表現するデジタル回路が主要なものである。システムコントローラ 2 0 からブロードキャストされた命令に応答して、T G 7 0 はイベントタイプをデジタル計算し、同様に、そのイベントが D U T ピンに適用される正確なタイムをデジタル計算する。

これらのデジタルイベントコードは、この T G のペリフェラルで、正確にタイミングがとられたドライバ制御信号遷移（入力イベントの場合）に変換されるか、正確にタイミングがとられたピン値測定（ストローブイベントの場合）に変換される。この変換回路は、一般に、イベントコンバータ（または、フォーマッタ） 7 4 と呼ばれている。イベントコンバータ 7 4 はドライブイベントをデジタルからアナログに変換し、ストローブイベントをアナログからデジタルに変換する。時間ドメイン・デジタルーアナログコンバータは、イベントコンバータ 7 4 のサブ回路であって、バーニヤ（vernier）と呼ばれている。このバーニヤの線形性とジッタと再トリガインターバルとが、テストの最も重要な性能特性に直接に寄与している。

図2はシステムコントローラ20の一部を詳細に示す。システムコントローラ20は、オペレータコンソール31を介して、ログ記録データをオペレータに示している。システムコントローラ20により、オペレータは、(DUTの電気特性と、発熱特性と、タイミング特性に関する)テストパラメータを変更することができ、テストフローをモニタし変更することができる。システムコントローラ20のディスクストレージデバイス32は、テストプログラムの最終的レポジトリである。

システムコントローラ20はシステムクロックを生成し、生成されたクロックの各サイクルごとに、図1に示すように、グローバル命令ブロードキャストネットワーク(global instruction broadcast network)40を介して配達される命令を発行する。グローバルにブロードキャストされた命令は、DUTクロックフェーズ情報を指定した上、テスタマシン命令サイクルの間、ロジカルDUTアクティビティを指定する。また、グローバルにブロードキャストされた命令は、per-pinイベントシーケンスの集まりの周知のセットのうちの1つ、つまり、DUTピンごとに1つのイベントシーケンスを指定する。

グローバル命令ブロードキャストネットワーク40はシステムクロックと命令をTG70のアレイに送る。TG70はTGBB(Timing Generator Building Block)50内で具現されている。TGBB50はデジタルシステムに含まれる回路の大半を占めている。TG70はシステムコントローラ20に対してFAL情報で応答する。FAL情報は、幾つかのDUT出力ピンストローブ値が幾つかのベクタでの期待と異なっていたかどうかを示す情報である。TG70はRDBACK情報も返す。このRDBACK情報により、システムコントローラは各システム要素の状態をモニタすることができる。

図3は慣用のテスタのTGBB50を示す。このTGBB50には、TGM(Timing Generator Modules)60のアレイが含まれている。TGM60には、それぞれ、ローカルメモリ62と関係付けをしたTG70のアレイが含まれている。ローカルメモリ62は、パターンデータを含むTG構成情報と、ログデータを含むローカルテスト結果情報をストアするためのものである。図3に示すように、慣用のテスタのTGM60はDUTピンチャネルに1対1で関係付けして

ある。慣用のテスタは、TGM60内のTG70の集まりを、一意に判定されたDUTピンチャネルと不变的に(immutably)関係付けしてある。

図4は、K個のTG70と、K:1 TG-ピン(TG-to-pin)アグリゲータ(aggregate)64とを含む慣用のテスタを示す。K:1 TG-ピン・アグリゲータはパラレルシリアルコンバータの機能を有する。慣用のテスタでは、値Kは全てのTGM60で共通である。慣用のテスタにおけるTG-ピン・アグリゲータ64は、TGM60内のTG70からの複数のドライブイベントを組み立て、時間シーケンスで、DUTピンチャネル82に送っている。さらに、TG-ピン・アグリゲータ64は、ストローブイベントで参照するため、測定されたピン値を、TGM60内の全てのTG70にファンアウトしている。TGM60には、応答ネットワークインターフェース65とローカル外部メモリインターフェース66も含まれている。

図4に示すローカルコントローラ68は、TGM60内で再ブロードキャストするためにグローバルブロードキャストされた命令から受け取ったクロックを、電気的に標準化する機能をサーブしている。ローカルコントローラ68は、TGM60内で後で再配信するために、ローカル命令ブロードキャストネットワーク69を介してグローバルブロードキャストされた命令に対して、パイプラインステージを提供することもできる。

図5は慣用のTG70を示す。このTG70には、多くのストレージ要素が含まれている。これらストレージ要素は、機能テスト工程では読み取り専用になっており、イベントシーケンスを構築するために使用されている。これらストレージ要素は、コンテキストマネージャ72によって生成されたローカルストレージ・イネーブル信号がアサートされるときだけ、ライト(write)可能である。コンテキストマネージャ72により、システムコントローラ20はTG70を選択的に初期化しクエリーすることができる。イベントコンバータ74は、デジタルコード化されたドライブイベントを、所望の時点で生じるPEドライバ制御信号遷移に変換する。さらに、イベントコンバータ74は、デジタルコード化されたストローブイベントを、DUTピンの論理値(これはPEコンパレータ出力で表されている)の所望時点におけるサンプリングによるフェール(fail)出力に、

変換する。慣用のTG70には、フェールバイ八線78が含まれている。その後にグローバルにブロードキャストされた命令に示されたデータログ記録要件と、ログデータとの同期が、フェールバイ八線78によりとられる。

上述したように、IBM社は「timing-per-pin」編成を導入したが、この編成には、各DUTピンチャネル82に関係付けられたTG70が、タイミングジェネレータ回路を含んでいる。この編成には、各DUTピンが潜在的に一意なタイミング特性を有するという柔軟性があるという利点がある。1980年代および1990年代には、多くのテスタ製造業者が、ピンごとにTG70の集まりを含むために、timing-per-pin編成上で、拡大していった。このようなシステムのTG70は、必ずしもシングル回路設計のレプリカではなく、特殊目的の回路にすることもできる。TG70は、独立して機能せず、各DUTピンに関係付けをした波形メモリによる指示に従って、テスタマシン命令サイクルごとにイベントが発生している。このアーキテクチャは現在市販されているテスト装置では広範に使用されている。

1988年に、Schlumbergerは「Sequencer-per-pin」編成を開発した[West and Napiers, "Sequencer Per Pin (TM) Test System Architecture", International Test Conference Proceedings, pp.355-361, 1990]。このデジタルシステムアーキテクチャによれば、TG70の固定サイズの集まりと、DUTピンチャネル82に適用するためにイベントをTG70に割り当てるためのシーケンサ70とが、各DUTピンチャネル82ごとに用意されている。この編成には、各DUTピンごとに独立に生成された波形のタイミング特性に高度の柔軟性があるという利点がある。

1989年に、ASIは、TG70はリニアアレイネットワークを介して相互に接続されているデジタルシステム編成を提案した[Lesmeister, "The Linear Array Systolic Tester(LAST)", International Test Conference Proceedings, pp.543-549, 1989]。このデジタルシステム編成によれば、TG70が共通パターンメモリへアクセスすることができ、そこで、メモリバンド幅要件を低減させ、もって、テストシステムのコストを低減させている。

1992年に、LTX/Trilliumが、オンチップPLL(phase-lock loop)ベースの

ク

ロックジェネレータを含むシングルチップのT G 7 0の設計を提案した[Alton,"TGEN:Flexible Timing Generator Architecture", International Test Conference Proceedings, pp.439-443, 1992]。このP L Lの出力は、システムクロックレートの4倍のクロックレートで発振しているが、イベントレートをシステムクロックレートを超えるレート倍にするのには使用されていない。むしろ、ハイレート基準クロックは、サブクロックインターバル・バーニヤ（エッジコンバータ74）であって、そのバーニアの線形性がテストの総タイミング精度にとってクリティカルであるサブクロックインターバル・バーニヤの実装を簡単にするために用いられている。線形性は、スパンするクロックインターバルが大きくなる程、減少する傾向があるため、ハイレートオンチップクロックはそのバーニヤがスパンするインターバルを短くするために使用されている。

1992年に、Hewlett-Packard社は「processor-per-pin」編成を開発している[Schoettmer and Minami,"Challenging the 'High Performance-High Cost' Paradigm in Test", International Test Conference Proceedings, pp.870-879, 1995]。このデジタルシステム・アーキテクチャによれば、独立にプログラムされたテストプロセッサが、各D U Tピンチャネル82ごとに用意されている。このテストプロセッサにより、論理値のシーケンスが生成され、D U Tピンチャネル82に適用するための連続イベントの生成が制御されている。この編成には、グローバル命令ブロードキャストネットワーク40を介して配達される情報量を低減させ、もって、そのコストを低減化させるという利点がある。このH P社の発明によれば、順序づけ(sequencing)をシステムコントローラ20からT G 7 0に移すことによって、グローバル命令ブロードキャストネットワークのボトルネックを解決している。このボトルネックにより、テストシステムの柔軟性とスケーラビリティが制約されるため、テストシステムのコストが高くなる傾向にあった。

S I M Dコンピュータアーキテクチャは、本来、低コストであるという利点をもっているが、これまでに説明してきた慣用の半導体テストシステムは、製造コストを低減化することに成功していない。事実、このデジタルシステムが占める

テスタの製造コストは、この25年間に増加してほぼ60%に達し、予想では、

この製造コストは、per-pin ALPG (Algorithmic Pattern Generation) や DSP (Digital Signal Processing) の準備が整うにつれて、増加を続けることになる。上述した慣用のテストシステムでは、複数の TG70 の各グループが DUT の対応するピンに割り振られて、イベントを結合するとともに、高速テストパターンを形成しているが、このような関係は TG70 のグループと DUT ピンの間で固定されている。テスタごとに TG70 の一意の組み合わせを必要とするが、TG とピンとの関係を自由に再構成できないから、製造コストが高い。

SIMDベースの半導体テスタでは、TG は、それぞれ、一般に、プログラマブルなプロセッサ要素を含んでいる。しかし、慣用のテスタでは、TG70 間でデータ通信が行われていない。その結果、慣用のテスタは、イベント生成、例えば、ピンごとに、デジタル信号処理機能やアルゴリズム (algorithmic) パターン生成を実行する点での充分な柔軟性を得ることができない。

慣用のテスタでは、高周波システムクロックによって実行される高速オペレーションを行なうため、高価なシステムコントローラ 20 が導入されている。さらに、システムクロックがこのようにハイレートであると、高速グローバル命令ブロードキャストネットワーク 40 が高速システムコントローラ 20 とともに必要になるため、テスタのハードウェアコストが高くなる。

発明の概要

そこで、本発明の第1の目的は、ローエンドからハイエンドまでの半導体テストシステムで共通に使用できる SIMD コンピューターアーキテクチャを導入し、このスペクトラム全体において、高製造効率と低製造コストとを達成する半導体テスタを提供することにある。

本発明の第2の目的は、SIMD コンピューターアーキテクチャを導入し、タイミング (イベント) ジェネレータ (TG) を DUT の任意のピンに柔軟にかつ自由に割り当てることができる半導体テスタを提供することにある。

本発明の第3の目的は、SIMD コンピューターアーキテクチャを導入し、テスト情報を複数の TG 間でやりとりすることによりイベント生成に柔軟性をもたせ

、相対的に低コストのハードウェアリソースで、ハイレベルの性能を達成できる半

導体テスタを提供することにある。

本発明の第4の目的は、S I M Dコンピュータアーキテクチャを導入し、システムコントローラをハイエンド半導体テスタの場合であっても、パーソナルコンピュータのような低コストのコンピュータで作ることを可能にした半導体テスタを提供することにある。

本発明の第5の目的は、S I M Dコンピュータアーキテクチャを導入し、高速システムコントローラや高速グローバル命令ブロードキャストネットワークを必要としないで、高速T Gの使用によってテストベクトル生成を効率化することができる半導体テスタを提供することにある。

本発明の第6の目的は、S I M Dコンピュータアーキテクチャを導入し、マルチクロックジェネレータと命令キャッシュを組み合わせて使用することによって効率良くテストベクトルを生成することができる半導体テスタを提供することにある。

本発明の一態様では、D U Tをテストする半導体テスタは、D U Tの複数のピンに対応していて、1対1でピンに動作状態で接続するための複数のピンエレクトロニクス回路と、対応するピンエレクトロニクス回路に個々に結合されて、対応するD U Tピンと通信するための複数のピンチャネルと、システムクロックを生成し少なくとも1つのテストプログラムをストアし順序づけるためのデジタルシステムコントローラと、デジタルシステムコントローラに応答して動作する複数のT Gモジュールと、T Gモジュールを制御し調整しメモリ増補(augment)するための複数のマルチチップサブシステムとを含んでいる。各T Gモジュールはシングル半導体チップであり、この半導体チップには、T Gのアレイが形成され、正確にタイミングがとられたドライブイベントとストローブイベントの予め定めたシーケンスを生成してD U Tをテストするようにしている。T Gはピンチャネルから選択したものと、動作状態で関連づけることが可能になっている。各T Gは、さらにマルチチップサブシステムと、モジュール内の各T Gとを接続する

インターフェースコネクションを含んでいる。

本発明では、TGはソフトウェア制御によりDUTピンに柔軟に割り振られている。TGは即値データを相互にやりとりするように相互接続されている。本発

明によれば、相対的に低コストの標準TGが種々のテスタで使用できるのは、TGがテスタの要件または仕様に合致するように自由に割り振られるからである。さらに、アルゴリズムパターンのような複雑なテストパターンの生成や、デジタル信号処理のような複雑なプロセッサオペレーションは、本発明のパターンジェネレータにより即値データをやりとりすることにより行うことができる。

本発明の別の態様では、SIMPコンピュータアーキテクチャを導入した半導体テスタは、システムクロックレートで発振するシステムクロック信号によって制御されるグローバル命令ブロードキャストネットワークと、第2クロック信号によって制御されるマルチチップサブシステムと、シングルチップ上に実装されグローバル命令ブロードキャストネットワークとマルチチップサブシステムとに結合されたTGモジュールと、システムクロックレートよりも高いクロックレートを有する複数のクロック信号をシステムクロック信号に応答して生成するマルチクロック生成回路と、命令をストアしシステムクロックレートよりも高いクロックレートで命令を取り出す命令キャッシュ要素とを含んでいる。

本発明のマルチクロッキングによれば、TGモジュール内でハイレートクロックをローカルに生成することができ、命令キャッシュは高速グローバル命令ブロードキャストを必要としないようにする。本発明によれば、TGモジュールは命令キャッシュを含み、マルチクロック生成回路によって生成されて、その周波数がシステムクロックの周波数よりも高いクロック信号を使用してメモリにアクセスしている。従って、本発明の半導体テスタを使用すれば、相対的に低コストのハードウェアで高速テスト生成を達成することができる。

図面の簡単な説明

本発明の理解を容易にするために、以下、添付図面を参照して本発明について詳しく説明する。

図1は上述した慣用の半導体テスタアーキテクチャを示すブロック図である。

図2は図1の慣用テクノロジにおけるシステムコントローラ20を示すブロック図である。

図3は図1の慣用テクノロジにおけるタイミングジェネレータ・ビルディングブロック(TGBB)50を示すブロック図である。

図4は図1の慣用テクノロジにおいて図3のTGBB50に実装したタイミングジェネレータモジュール(TGM)60を示すブロック図である。

図5は慣用テクノロジにおいて図4のTGM60に実装したTGM70を示すブロック図である。

図6は本発明の半導体テスターアーキテクチャの好ましい実施形態を示すブロック図である。

図7は本発明のTGBB50の例を再編成可能アロケータ回路要素とともに示すブロック図である。

図8は本発明のTGM160の構造例を示すブロック図である。

図9はTGに実装した本発明のイベントカルキュレータ176の例を示すブロック図である。

図10はTGに実装した本発明のイベントコンバータ174の例を示すブロック図である。

図11は本発明のイベントコンバータ回路174に実装したドライブデコーダの例を示す回路図である。

図12は本発明のイベントコンバータ回路174に実装したリニア遅延要素の例を示す回路図である。

図13は本発明のイベントコンバータ回路174に実装したストローバの例を示す回路図である。

図14は本発明の再構成可能アロケータ回路152の基本概念を示すブロック図である。

図15、15Aおよび図15Bは本発明の再構成可能アロケータ回路152の例を示す回路図である。

図16は64対8アロケータ回路である、本発明の再構成可能アロケータ回路

152のトポロジ例を示す回路図である。

図17はマルチクロックジェネレータとSIMD命令キャッシュを内蔵したローカルコントローラの構造例を示すブロック図である。

図18は半導体テスタのテストヘッドにマウントするため1つに結合したTG

とピンエレクトロニクスの例を示す図である。

図19は本発明の半導体テスタのハードウェアイメージを示す図である。

図20は図18の構成に基づいて本発明の半導体テスタのハードウェアイメージを示す図である。

好適実施態様の説明

図6はSIMDコンピュータアーキテクチャを導入した本発明の半導体テスタにおけるデジタルシステム100の構成を示すブロック図である。本願発明者は、このSIMDコンピュータアーキテクチャを、「STAR-I (Scalable Tester Architecture with I-Cached SIMD Technology)」と名づけた。本願と同一発明者は、(米国特許第5,511,212号、1996年4月23日交付、Multi-Clock SIMD Computer and Instruction-Cache-Enhancement Thereof)の開示を、「I-Cached SIMD」といい、本願明細書の一部とする。米国特許第5,511,212号の発明は、SIMDコンピュータ・アーキテクチャに関するものである。STAR-Iの開示から教示される手段によれば、このテスタデジタルシステムは、SIMDコンピュータアーキテクチャが構築に柔軟性があってプログラミングにスケーラビリティがあるという利点を利用することができる。

別の態様では、STAR-Iには、イベント生成回路をDUTピンに柔軟に割り当てることができる回路が含まれているので、このSTAR-Iは、イベントレート要件がピン-ピン間で変化するとき、必要とするイベントレートを達成できるシステムを構築するコストを低減している。

別の態様では、STAR-Iは、マルチクロックSIMDコンピュータアーキテクチャを適用して、テスタデジタルシステム内のマルチチップおよびイントロチップ回路が、それぞれ、最大レートでオペレートすることを可能にしている。この最大レートは、回路構造と、VLSIベースのテクノロジーのシグナリング

特性により決定されるレートである。このVLSIベースのテクノロジーで、マルチチップおよびイントラチップ回路が実現されている。STAR-1は、上述したI-Cached SIMD特許に教示されているものを適用して、テスタデジタルシステム性能対ハードウェアコスト比を最大にしている。

図6のデジタルシステム100では、システムコントローラ120はテストプログラムに従って、システムクロックと命令とを、グローバル命令ブロードキャストネットワークに送信している。デジタルシステム100には、TGBB (timing generator building block) 150間でデータのやりとりを可能にするTG間通信ネットワーク112が含まれている。システムコントローラ120は、このグローバル命令ブロードキャストネットワーク140を介して、システムクロックと命令とを、TGBB150に送信している。TGBB150には、TG170のアレイが含まれており、そのアーキテクチャは、次に詳しく説明するように、全体的にプログラマブルな処理要素のアーキテクチャになっている。

このようなTG間通信サブシステム112には慣用のテスタが存在しない。というのは、一般に理解されているような製品テストはTG間通信で必要でないからである。TG間通信ネットワーク112が存在する利点としては、即値結果、例えば、ALPG (Algorithmic Patter Generation) またはDSP (Digital Signal Processing) アルゴリズムの実行中に生成されるような即値結果を、TG間通信ネットワーク112が共有できことがある。本発明のTG間通信システムは、次のような点で特有のものである。すなわち、このTG間通信システムは高次元相互接続 (2Dおよび3Dメッシュを含む) を有し、同様に、双向通信リンクを有する。また、このTG間通信システムはグローバル命令ブロードキャストネットワーク140を介して伝送されるグローバルブロードキャスト命令ストリームを制御して、TGレジスタファイルデータのやりとりを可能にしている。

TGBB150内のTG170によって生成されたイベントは、DUTピンチャネル182を介してPE (pin electronics) 180に自由に割り振られる。慣用のテスタの幾分構成可能なTG70をこのように拡張したので、柔軟性とス

ケーラビリティが向上し、例えば、市販の数多くのTGよりも、TG設計コストの償却が可能である。応答ネットワーク190はフェール情報のようなテスト結果をシステムコントローラ120に送信している。

図7は再構成可能アロケータ回路152を有するTGBB150の例を示すブロック図である。TGBB150には、TGM(timing generator module)1

60のアレイが含まれている。TGM160には、それぞれ、TG170のアレイが含まれている。TGM160には、パターンデータを含むTG構成情報と、ログデータを含むローカルテスト結果情報とをストアするローカルメモリ162が関係付けしてある。TG間ネットワーク・インターフェース154により、TGBB150内のTGM160どうしが相互に接続され、TG間ネットワーク・インターフェース154はTG間ネットワーク112にインターフェースを提供している。

再構成可能アロケータ回路152はソフトウェア構成可能な再構成可能回路であり、TG170セットのサブセットは再構成可能アロケータ回路152を介して、DUTピンチャネル182のセットの有するサブセットの1つのメンバと関係付けしてある。再構成可能アロケータ回路152により関係付けしたのは、TGのサブセットの各メンバで発生したドライブイベントを多重化してピンチャネルの対応するドライブ制御入力に現れるようにするとともに、そのピンが観察した論理値をファンアウトしてTGサブセットの各メンバ内のストローブイベントで使用できるようにするためである。後程、図14ないし図16を参照して再構成可能アロケータ回路152を詳細に説明する。

図8は本発明のTG170のアレイを含むTGM160を示すブロック図である。TG170には、それぞれ、イベントカルキュレータ176とイベントコンバータ174とが含まれている。イベントカルキュレータ176はシステムコントローラ120からの命令に従って、コード化されたイベントデータを生成する。イベントコンバータ174は、イベントカルキュレータ176からのデジタルコード化されたドライブイベントを、所望の時点に生じるP/Eドライバ制御信号遷移に変換する。さらに、イベントコンバータ174は、デジタルコード化され

たストローブイベントを、所望の時点でD U T ピンの論理値（これはP E コンパレータ出力で表されている）をサンプリングすることで得られるフェール出力に、変換する。システムコントローラ120からのシステムクロックと命令は、ローカルコントローラ168とローカル命令ブロードキャストネットワーク169を介してT G 170に伝送される。T G M 160は応答ネットワークインターフェース165とローカル外部メモリインターフェース166も含み、同様に、T G 間通信

信ネットワーク・インターフェース154も含む。

図8のローカルコントローラ168は慣用の機能を有するが、ローカルコントローラ168の特徴の1つとして、システムクロックから得られた複数のクロックを生成することがある。このシステムクロックより高い周波数を有するクロック信号を使用するT G 170により行われる高速イベント生成が、このシステムクロックにより調整される。ローカルコントローラ168は、キャッシュコントローラとキャッシュメモリとを有する命令キャッシュ要素を含めることにより、このような高速イベント生成を制御している。ローカルコントローラ168の詳細は図17を参照して後程説明する。

図9は本発明のイベントカルキュレータ176の構造例を示す。この構造例では、イベントカルキュレータ176には、機能ユニット211と、レジスタファイル212と、命令マップ／パラメータストア213と、コンテキストマネージャ214と、外部メモリインターフェース216と、T G 間通信インターフェース217と、フェールネットワークインターフェース218と、バスインターフェース219が含まれている。

図9のイベントカルキュレータ176は次のようにオペレートする。各クロックサイクル期間において、全てのコンポーネントのオペレーションは、ローカル命令ブロードキャストネットワーク169から送られてきた命令に従って制御される。バスインターフェース219は低速パスウェイを設けて、テ스트ランに先立って、イベントカルキュレータ176内のストレージ要素を初期化し、テ스트ラン後に、結果を取り出している。

機能ユニット211はイベントコンバータに伝送されるデジタルコード化されたイベントを作るのに必要な計算を行う。機能ユニット211の構成要素としては、必要とする機能を実行するに必要な回路であって、ALUと、ローテート／シフタとを含む回路であり、乗算器または除算器を含むことができる回路がある。計算ユニットのビット幅は、ノンクリティカル(non-critical)なパラメータwである。機能ユニット211は、イベントコンバータ174から受信されたストローブフェール情報を処理するための計算も行う。機能ユニット211はレジスタファイル212にアクセスするためにアドレスを計算する。機能ユニット2

11はレジスタファイル212にストアされた値に対してオペレートし、機能ユニット212の計算結果をレジスタファイル212にストアすることができる。レジスタファイル212に含まれている値は、波形定義に典型的に関係付けをした値であって、プログラムされたイベントタイムとキャリブレーションオフセットとを含む値を含んでいる。ストア前または送信前に、フェール結果を遅延するのに必要なストレージは、レジスタファイル212により用意されている。

命令マップ213は、イベント計算で使用されるパラメータを供給するメモリ要素である。命令マップ213により、タイミングパラメータを指定する間接的な方法が提供される。この間接的な方法は複雑なタイミングを有するデバイスをテストするのに便利である。また、命令マップ213により、テ스트ランの各ステップで生じるデバイスアクティビティのタイプを示すブロードキャスト命令のフィールドに、計算されたイベントのタイミングパラメータを依存させることができる。命令マップ213にストアされたパラメータは、1つには、レジスタファイル212にストアされたタイミング値に対するアドレスオフセットとして使用されている。外部メモリインタフェース216はパターン値が機能ユニット211に供給するパスとなり、同様に、キャプチャされたフェール値の機能ユニット211からのパスとなる。

TG間通信インタフェース217はトポロジ上隣接するイベントカルキュレータ176とのデータのやりとりのパスとなっている。TG間通信インタフェース217は、1つには、機能ユニット211が次のイベントを計算するのに使用す

る現ピン状態情報を提供するのに適用されている。さらに、機能ユニット211により計算されたイベントによって影響されたピン状態の変更は、T G間通信インターフェース217を介して出力される。この変更は、他のイベントカルキュレータ176により参照することができる。フェールネットワークインターフェース218はフェール情報をシステムコントローラ120に通知するパスを提供する。システムコントローラ120はこのフェール情報を使用して、テストラン工程で、テストプログラムの順序づけを制御する。

コンテキストマネージャ214はイベントカルキュレータ176内で状態変更を禁止または許可する出力信号を出力する。コンテキストマネージャ214は状

態変更がイベントカルキュレータ内で許可されているかどうかを、ブロードキャスト命令に応答して判断するが、その判断は機能ユニット211で得られた条件付き結果によって決まる。コンテキストマネージャ214はイベントカルキュレータのデータ依存オペレーションを実現する、広い意味での手段となっている。

図10は本発明のイベントコンバータ174の構成例を示す概略図である。この構成例では、イベントコンバータ174はデコーダ221と、ドライブエンコーダ222と、ストローバ223と、リニア遅延要素224を含んでいる。デコーダ221は、デジタルコードで記述されたドライブイベント、例えば、イベントアクション（ドライブ、ストローブ、またはウィンドウ）を示す「ACT」と、イベントの論理値（0、1、X、またはZ）を示す「VAL」とを受け取る。デコーダ221はこのコードの意味を解釈し、対応するイベント信号、例えば、D R V (Drive Action: ドライブアクション) と、S T B (edge Strobe Action: エッジストローブアクション) と、O P N (Window Open Action: ウィンドウオープンアクション) と、O N E (Logic Value 1: 論理値1) と、Z R O (Logic Value 0: 論理値0) と、E X (Don't Care: 無視) と、Z E E (High Impedance: ハイインピーダンス) とを供給する。

ドライブエンコーダ222はイベント信号を受け取って、再構成可能アロケータ回路152からP E 180ドライバに送られてきたイベント信号に対応するセット信号とリセット信号を生成する。ストローバ223はP E 180コンパレー

タ（図示せず）から再構成可能アロケータ回路152を介して送られてきた信号を受け取り、その信号とデコーダ221で定義された期待論理値とを、ストローブのタイミングで比較する。リニア遅延要素224は、そのタイミング分解能がシステムクロックの周期より小さい遅延パルスD Pを、イベントカルキュレータからの時間コードに基づいて発生する。

図11は本発明のドライブエンコーダ222の例を示す回路図である。ドライブエンコーダ222は次のようにオペレートする。ドライブエンコーダ222の出力はそれぞれリーディングエッジ（前縁）アクティブになっている。これらの出力は再構成可能アロケータ回路152を介してPE180のドライバ回路（図示せず）に伝送される。PE180のドライバ回路の出力は、D Pパルスをゲート

して得られたパルスであるので、アクティブエッジのタイミングはこのD Pパルスによって決まる。D H S（Drive High Set：ドライブハイセット）信号は、アクションがD R Vであって、値がO N Eであるとき、イネーブルにされる。D H R（Drive High Reset：ドライブハイリセット）はアクションがD R Vであって、値がZ R Oであるとき、イネーブルにされる。D I S（Drive Inhibit Set：ドライブ禁止セット）は、1) アクションがD R Vであって、値がO N EとZ R Oのどちらでもないとき、または2) アクションがD R Vでないとき、イネーブルにされる。D I R（Drive Inhibit Reset：ドライブ禁止リセット）はアクションがD R Vであって、値がO N EかZ R Oのどちらかであるとき、アサートされる。

図12は本発明のイベントコンバータ174内のリニア遅延要素224の例を示す回路図である。リニア遅延要素224は複数の直列接続遅延要素242₁ないし242_nと、マルチプレクサ245とを含んでいる。このような遅延要素242の例としては、ペアのCMOSインバータを直列に接続したものがある。遅延要素242の各出力はマルチプレクサ245の唯一の入力に接続されている。イベントカルキュレータ176からのコードT I M（テスタ期間内のイベントのオフセット）に基づいて、マルチプレクサ245は遅延要素の該当する出力を遅延パルスD Pとして選択する。

図13は本発明のイベントコンバータ174に提供したストローバ223の例を示す回路図である。オペレーション時には、ストローバ223は、D P信号のリーディングエッジ（前縁）で決まる特定時間に期待値と突き合わせて比較されたデバイス出力の結果をキャプチャする。P E 1 8 0のコンパレータからの入力A C H（Above Compare High：比較高以上）とB C L（Below Compare Low：比較低以下）は相互排他的である（どの時点でも一方しかアサートできない）。イベントカルキュレータからの入力Z R O、O N EおよびZ E Eは、相互排他的であり、期待値はワンホット(one-hot)で通知される。イベントカルキュレータからの入力C L S、O P N、およびS T Bは、相互排他的であり、特定のストローブアクションがあれば、そのアクションを示す。

エッジストローブを行うために、ストローバは正確なタイミングで比較を評価

する。ウィンドウストローブを行うために、スローブは正確なタイミングでウィンドウをオープンしクローズする。比較はウィンドウがオープンしている時間間隔の間に連続的に評価される。ウィンドウがオープンしているときに起きた比較フェールは、ストレージ要素にキャプチャされる。図13に示すように、S F L（Strobe Fail：ストローブフェール）出力はO R 2 7 5から出される。O R 2 7 5への上部入力はエッジストローブフェールD-F F 2 7 1から得られ、O R 2 7 5への下部入力はウィンドウストローブフェールラッチ2 7 4から得られる。

エッジストローブフェール（E F L）信号は回路入力D PのリーディングエッジでD-F F 2 7 1にキャプチャされる。E F L信号は、次の3つのエッジストローブ条件の論理和(disjunction)としてO R 2 6 4によって生成される。

- 1) 期待値はO N Eであるが、ピン値はA C Hでない（A N D 2 5 7で生成）
- 2) 期待値はZ R Oであるが、ピン値はB C Lでない（A N D 2 5 8で生成）
- 3) 期待値はZ E Eであるが、ピン値はA C HまたはB C Lのいずれかである（A N D 2 5 9で生成）

ウィンドウストローブフェールラッチ2 7 4はA N D 2 7 2で生成された信号によってセットされる。A N D 2 7 2はウィンドウフェール（W F L）信号とウィンドウオープンラッチ2 6 8の出力の論理積(conjunction)を評価する。ラッ

チ268の出力はストローブウィンドウがオープンしていれば、そのときだけアサートされる。WFL信号は次の3つのウィンドウストローブ条件の論理和としてOR265によって生成される。

- 1) 期待値はONEであるが、ピン値はA CHでない (AND262で生成)
- 2) 期待値はZEROであるが、ピン値はB CLでない (AND263で生成)
- 3) 期待値はZEEであるが、ピン値はA CHまたはB CLのいずれかである (AND261で生成)

ストローブウィンドウ期間の比較の対象となる期待値は、3つのD-FF253、254、256によって示されるが、これらの値は相互排他的である。AND251はラッチ制御信号を生成し、OPNがアサートされたとき、これらの値がDPの立ち上がりエッジでキャプチャされるようにする。ウィンドウオープンラッチ268はAND266によって生成されたOPNとDPの論理積によって

セットされる。ウィンドウオープンラッチ268はAND267によって生成されたCLSとDPの論理積によってリセットされる。ウィンドウストローブフェールラッチはDPのAND273によって生成された論理積およびOPNとSTB (7) OR269によって生成された論理和によってリセットされる。

図14ないし図16は本発明の再構成可能アロケータ回路の例を示す図である。本発明の特徴の1つは、デジタルシステム100がソフトウェアで構成可能な再構成可能アロケータ回路152を含んでいて、TGセットのサブセットがこの回路を介して、DUTピンチャネルのセットのサブセットの1つのメンバと関係付けしてある点にある。図14は再構成可能アロケータ回路152の基本概念を示す。再構成可能アロケータ回路152により行われる関係付けは、TGのサブセットの各メンバによって生成されたドライブイベントをマルチプレックスしてピンチャネルの対応するドライブ制御入力に現れるようになるとともに、ピンが観察した論理値をファンアウトしてTGサブセットの各メンバ内のストローブイベントで使用されることである。再構成可能アロケータ回路152を適正サイズと階層への分解は、テスタデジタルシステムを物理的に実現したもので使用される統合階層(integration hierarchy)を構成する要素のジオメトリによ

って決まる。最も一般的な再構成可能アロケータ回路152は、 $N \times M$ クロスバーであり、このクロスバーを介して、テスタのN個のTG170のいずれかは、DUTのM個のピンのいずれかと関係付けされる。

再構成可能アロケータ回路152をどのように構成するかを決定する最も単純な方法は、各DUTピンに接続されるTGのサブセットが、TG170のセットの厳格に非連続サブセットになるように制限することである。言い換えば、再構成可能アロケータ回路152を構成する最も単純な方法は、TGからDUTピンへ多数対1マッピングを行なうことである。このスペクトラムの最っとも複雑な他端では、再構成可能アロケータ回路152は多対多のマッピングを実装して、テスタデジタルシステム100内の各TG170が幾つかのDUTピンと関係付けされ、各DUTピンが複数のTG170と関係付けされるようにしている。この複雑なTG対DUTピン割り当て法は、単一のTGの出力を複数のDUTピンで共有可能にするといったシナリオを利用することができる。他方、単純化され

た方法によれば、その実現のために必要なアクティブ要素が比較的少なくて済む回路相互接続トポロジが可能になる。

図15と、15Aと、15Bは再構成可能アロケータ回路152の完全クロスバートポロジを実現する回路を示す図である。再構成可能アロケータ回路152の構成は、構成ビット400のセットの値、例えば、図15にAll u-a、All u-b、All v-a、All v-b、などとラベル付けした値によって制御される。ただし、「All x-d」は「TG xをピンチャネルdに割り当てる」ことを示す。ある構成ビット400のAll u-cがアサートされると、TG170のインデックスuがDUTピンのインデックスcに割り当てられることを示している。システムコントローラ120は再構成可能アロケータ回路152内の全ての構成ビット400の値を判断する。構成ビット400はテストランの前にシステムバスを介して初期化しておくこともでき、テストラン中にグローバルブロードキャストされた命令に応答して動的に変更することもできる。テストランの任意のステップで、あるTG170のインデックスuに関係付けした構成ビット400のセットは、ワン

ホット (one-hot) でコード化される。従って、構成ビット 400 のセット A11_u-a、A11_u-b、A11_v-a、および A11_v-b、などの、多くても 1 つのメンバが、任意の時点で、アサートされる。再構成可能アロケータ回路 152 は各 DUT ピンのドライブ制御入力を合成し、各イベントコンバータ 174 ごとに 1 つのピンの測定を選択する。

所定の DUT ピンの PE180 ドライバの DHI (Drive High: ドライブハイ) は、ラッチ 405 (図 15B) で生成される。この所定の DUT ピンに関係付けをしたイベントコンバータ 174 のいずれかからの DHS パルスは、DHI ラッチ 405 をセットする。DHS パルスは OR410 によって総計される。OR410 への入力パルスは AND420、AND421 などによって生成され、それぞれ、所定のイベントコンバータ 174 からの DHS パルスを、対応する構成ビット 400 とゲートする。同様に、この所定の DUT ピンと関係付けをしたイベントコンバータ 174 のいずれかからの DHR パルスは、DHI ラッチ 405 をリセットする。DHR パルスは OR411 によって総計される。OR411 への入力パルスは AND422、AND423 などによって生成され、それぞれ、

所定のイベントコンバータ 174 からの DHR パルスを、対応する構成ビット 400 とゲートする。

所定の DUT ピンの PE180 ドライバの DINH (Drive Inhibit: ドライブ禁止) は、ラッチ 406 で生成される。この所定の DUT ピンに関係付けをしたイベントコンバータ 174 のいずれかからの DIS パルスは、DINH ラッチ 406 をセットする。DIS パルスは OR412 によって総計される。OR412 への入力パルスは AND424、AND425 などによって生成され、それぞれ、所定のイベントコンバータ 174 からの DIS パルスを、対応する構成ビット 400 とゲートする。同様に、この所定の DUT ピンに関係付けをしたイベントコンバータ 174 のいずれかからの DIR パルスは、DINH ラッチ 406 をリセットする。DIR パルスは OR413 によって総計される。OR413 への入力パルスは AND426、AND427 などによって生成され、それぞれ、所定のイベントコンバータ 174 からの DIR パルスを、対応する構成ビット 400

とゲートする。

所定のイベントコンバータ174へのA C H信号は、O R 4 3 0（図15A）で総計される。そのイベントコンバータ174に関係付けをした单一のP E 1 8 0のコンパレータ回路からのA C H信号は、ワンホット構成ビット4 0 0のどれがアサートされたかに応じて、A N D 4 4 1、A N D 4 4 2などの1つによってイネーブルにされる。所定のイベントコンバータ174へのB C L信号は、O R 4 3 1で総計される。そのイベントコンバータ174に関係付けをした单一のP E 1 8 0のコンパレータ回路からのB C L信号は、ワンホット構成ビット4 0 0のどれがアサートされたかに応じて、A N D 4 4 3、A N D 4 4 4などのうちの1つによってイネーブルにされる。

再構成可能アロケータ回路152をさらに拡張したものは、機能テスト中に再構成を可能にしている。この拡張したものによれば、あるT G 1 7 0をD U T ピンのグループのメンバに連続的に接続することができる。この「ランタイムT G 1 7 0再割り当て」機能は、エッジサーチ(edge search)などのアプリケーションに適しており、そこでは、ピングループの单一メンバは、テストのあるインターバル中に相対的に多数のイベントを受信することになる。再構成可能アロ

ケータ回路152の構成ビット4 0 0への割り当てをテストラン中で変更すると、相対的に少い数のT G 1 7 0がエッジレート要件を満たすことが可能になる。しかるに、慣用のテストのデジタルシステムでは、D U T ピンへのT G の割り当てが固定しているため、この要件を満たすためには、もっと多くのT G 1 7 0が必要になり、従って、コストが高くなる。

図16は再構成可能アロケータ回路152の他の例を示す。これは、単純（多対1）割り当て方法に適していて完全クロスバーよりも低コストである。図16の例では、再構成可能アロケータ回路152は6 4 個のT G 1 7 0と8個のピンチャネル182とを多対1で関係付けすることができる。図16に示す再構成可能アロケータ回路152のトポロジは、シンメトリを利用して、実現コストを最小にする考え方を示す。図16に示すように、全てのD U T ピンがT G 1 7 0の共通メンバに接続可能であるとは限らない。この考え方では、1つのD U T ピン

だけにサブセット内のTG170の64個全てが割り当て可能である。サブセット内の全てのTG170を割り当てる事ができる单一のピン（この場合、ピン0）が指定されることになる。同様に、2つのDUTピンだけに、それぞれ32個のTG170を割り当てる事ができるので、TG170のサブセットのうちピン0で使用されていない半分が割り当てる事ができる第2ピン（この場合、ピン7）が指定されることになる。同じように考えれば、4個のDUTピンにそれぞれ16個のTG170を割り当てる事ができる。最終的に、図16の例に含まれるDUTピンのサブセットを構成する8個のDUTピンに、それぞれ、8個のTG170を割り当てる事ができる。

図16に示すように、0からI-1までの番号を付けたI個のTG170のセットと、0からJ-1までの番号を付けたJ個のピンチャネル182のセットとが相互に接続されている再構成可能アロケータ回路152のトポロジは、次の2つの原理に基づく一般数学式で表す事ができる。

(1) そのインデクスがjであるピンチャネル182と関係付けする事ができる。サブセット内のTG170の番号は、 $I/\text{ceiling}(\log_2(j+1))$ で与えられる。

(2) ピンチャネルjに関係付けされたTG170のサブセットは、そのインデクスが次の範囲にある $2^{\text{ceiling}(\log_2(j+1)-1)}$ 個のピンチャネル182とそれぞれ関係付けされたTG170のサブセットと非連続である。

$$2^{\text{ceiling}(\log_2(j+1)-1)+1}, 2^{\text{ceiling}(\log_2(j+1)-1)+2}, \dots, 2^{\text{ceiling}(\log_2(j+1))}.$$

このことは、図4において、K:1 TG-ピン・アグリゲータ64が存在することから示唆されているが、慣用のテスターのデジタルシステムは、TG160内で総計を行なうことにより、TGの固定番号を各ピンに割り当てる。TGソースは、システム製造時のコストのかかる測定が行われた場合、複数ピンをサーブするが、このTGソースをハイイベントレートピンに関係付けをするため、このシステム製造時のコストのかかる測定が行われなかった場合、慣用のテスターでは、TGの共通番号が各DUTピンと関係付けされる。しかし、全てのDUT

ピンが共通のイベントレートを必要とするわけでないことは、直に分かることである。あるピンが必要とするイベントレートは、DUTの設計目的により決定され、所定のテストの目的により決定される。DUTテスト期間の任意の時点では、高いイベントレートを必要とするピンもあれば、低いイベントレートを必要とするピンもある。慣用のテスタでは、あるピンがより高いイベントレート（従つて多くのTG）を必要とするとき、ハードウェアコストが大幅に上昇することになる。あるピンの必要とするイベントレートが実際には低い場合は、そのピンに割り当てられた余剰のTGが、無駄なハードウェアコストになる。本発明の再構成可能アロケータ回路152を介してTGをピンに接続することの利点の1つに、必要とするper-pinイベントレートを達成するために必要なハードウェアコストを低くすることがある。

図17は本発明のイベントジェネレータモジュール160に実装されたローカルコントローラ168の例を示すブロック図である。このローカルコントローラ168は、マルチクロックジェネレータ300と、 SIMD命令キャッシュ310と、ブロードキャスト命令ラッチ320と、ローカル命令ラッチの集まりとを備え、TGコントロール330と、LEM (Local External Memory: ローカル外部メモリ) コントロール341と、RAC (Reconfigurable Allocator Circuit: 再構成可能アロケータ回路) コントロール342と、応答コントロール343と、TG間通信コントロール344とを含む。

マルチクロックジェネレータ300に含まれるものには、TGM160内の各回路かTGM160に接続された各回路を制御するクロックを生成するため、PLL (phase lock loop)を使用して実現することができるようなクロックマルチプライヤ回路がある。マルチクロックジェネレータ300によって生成されたクロックは、その最大レートで、各回路を制御する。各回路のオペレーションの最大レートは、そのジオメトリとVLSI実装手法とによって決まる。すなわち、他の全ての条件が同じであれば、ワイヤが長くなる程そのワイヤを介して行われるシグナリングは遅くなり、かつ／または、コストが高くなる。グローバル命令ブロードキャストネットワーク140がデジタルシステム全体に広がっているの

で、デジタルシステム内の回路がどれもその最低レートでオペレートすることが期待される。従って、マルチクロックジェネレータ300へのCLK入力は、デジタルシステムで最低レートのクロック信号となる。

TG170が全てシングルチップTGM160内で具現されていると、TG170はデジタルシステム内の任意の回路の最大レートでオペレートすることが期待される。従って、TG CLKはマルチクロックジェネレータ300によって出力される最大レートクロック信号になる。最も簡単な実施の形態では、全てのクロックレートはTG CLKレートの約数となり、全ての位相は同相になる。より精巧な回路では、クロックレートをTG CLKレートの有理倍数とすることができる、それらの位相を任意（しかし、決定的）にすることができる。

応答ネットワーク190がグローバル命令ブロードキャストネットワーク140と類似している点は、拡張がシステムワイドに行われる点である。従って、応答ネットワーク190はグローバル命令ブロードキャストネットワーク140と同じように、低いレートでオペレートすることが予想されるが、高いレートでオペレートすることができる。よって、マルチクロックジェネレータ300によって出力されるRESPONSE CLOCKは、CLKと同じように、低いレートになるが、高いレートにすることもできる。

再構成可能アロケータ回路152は、虞らく、その接続が单一のプリント回路ボードに制限されるようなコンポーネントでインプリメントされることになる。そこで、そのオペレーションレートはグローバル命令ブロードキャストとTG1

70の中間に位置することになる。同様に、マルチクロックジェネレータによって出力されるRAC CLKの周波数は、CLKの周波数と同様に低くするか、TG CLKの周波数と同様に高くするか、あるいは、それらの中間の周波数にすることができる。

ローカル外部メモリ回路は、ローカル外部メモリインターフェース116とメモリチップを含んでいて、TGM160とメモリチップ162間には、短いチップ間接続のみを有する。そこで、ローカル外部メモリ回路は、TG170のレートに非常に近いレートでオペレートすることができる。同様に、マルチクロックジ

エネレータ300によって出力されたLEM CLKは、TG CLKとほぼ同様のレートであり、虞らくは、2倍だけ低いレートになるだけである。

システムクロックCLKにより、ブロードキャスト命令ラッチ320が制御される。ブロードキャスト命令ラッチ320により、グローバルブロードキャストされた命令がストアされる。TG CLKによりTGコントロール330が制御される。TGコントロール330により、サイクルごとに、TG170のための命令がストアされる。LEM CLKにより、LEMコントロール342が制御される。LEMコントロール341により、サイクルごとに、ローカル外部メモリ回路のための命令がストアされる。RAC CLKにより、RACコントロール342が制御される。RACコントロール342により、サイクルごとに、再構成可能アロケータ回路152のための命令がストアされる。INTER-TG COMM CLKにより、TG間通信コントロール344が制御される。TG間通信コントロール344により、サイクルごとに、TG間通信ネットワークのための命令がストアされる。RESPONSE CLKにより、応答コントロール343が制御される。応答コントロール343により、サイクルごとに、応答ネットワーク190のための命令がストアされる。

SIMD命令キャッシュ310はTG CLKによって制御される。SIMD命令キャッシュ310には、繰り返し実行される命令のシーケンスがストアされる。SIMD命令キャッシュ310はキャッシュメモリ314とキャッシュコントローラ312により構成されている。キャッシュメモリ314はキャッシュコントローラ312によって制御される命令ストレージ要素である。グローバル

ブロードキャストされた命令に組み込まれているキャッシュコントロールプロトコル命令に応答して、キャッシュコントローラ312は命令をキャッシュメモリ314にライトする。命令は、グローバル命令ブロードキャストのローレートで、上述したようにキャッシュメモリ314にライトされる。別のグローバルブロードキャストされた命令に応答して、キャッシュコントローラ312はTG CLKのハイレートで、キャッシュメモリ314から命令のシーケンスを取り出す。

あるテスタのデジタルシステムがS I M Dコンピュータである場合には、そのことがグローバル命令ブロードキャストのボトルネックとなる。このボトルネックにより、慣用のS I M Dコンピュータアーキテクチャの機能が制約される。従って、マルチクロッキングと命令キャッシングの手法は、S I M Dコンピュータ一般のグローバル命令ブロードキャストの制約を解消するだけでなく、特にテスタのデジタルシステムのグローバル命令ブロードキャストの制約も解消する。このことは既に確立されていることであるが、I-Cached S I M DテクノロジがS I M Dコンピュータの性能対コスト比を、2ないし5以上倍だけ向上させている。I-Cached S I M D特許に記載されている拡張機能を、テスタのデジタルシステムに応用することにより、性能一定で、テスタコストが線形に減少することは当然に予想される。その結果、S T A R T-I テスタのデジタルシステムは、機能テスト中に繰り返されるイベント生成命令のシーケンスを、T G の最大レートでのオペレーションで、D U T に供給することができる。

図18はT G T G 170とP E 180の例を示す概略図である。T G T G 170とP E 180は、一体にして、半導体テスタのテストヘッドにマウントされている。BiCMOS ASICの集積度がより高くなると、図8に示すS I M Dアレイケージ（T G 170を含む）を、テストヘッド（P E 180を収容している）にマイグレートし、他方、P E 180を再構成可能アロケータ回路152にマイグレートすることができるので、製造コストがさらに低減されることになる。図19は、図6のデジタルシステムをS I M Dアレイケージ200に組み込んだ本発明の半導体テスタのハードウェアイメージを示す概略図である。同様に、図20は図18の構成をベースとする本発明の半導体テスタのハードウェアイメージを示す概略図である。

本発明には、慣用のアーキテクチャに比べて、幾つかの利点がある。慣用のテスタのデジタルシステムコントローラは高価であり、このデジタルシステムコントローラには、典型的には、エンジニアリングワークステーションと、内部イーサネットと、R I S Cプロセッサボードと、カスタムC P Uバスインターフェース（例えば、V M E）と、カスタム高速シーケンサとが含まれる。このデジタルシ

システムコントローラは幾つかのA S I C を含むマルチカスタムP C B回路であるのが典型的である。この高価な実装とは対照的に、本発明で具現化されたようなシステムコントローラは、ディスクドライブと、高品質ディスプレイと、標準システムバスインターフェース（例えば、P C I ）を装備した安価な標準マイクロコンピュータ（例えば、x 8 6ベースP C ）のみを備えている。

慣用のテスタのグローバル命令ブロードキャストネットワークは、ワクステーションバス（例えば、V M E ）と、カスタムC P Uバスコンローラと、1 0 0ビットオーダの命令を非常に高速に（例えば、5 0 0MHz ）T G B Bに伝達する信号ファンアウトネットワークと、デジタルシステムクロックジェネレータと、高速信号の集まりを配達するためにトリミングされ平衡化された伝送ラインとから構成されている。また、この高価な実装例とは対照的に、本発明で具現化されたようなグローバル命令ブロードキャストネットワークは、標準マイクロコンピュータシステムバスのみを含み、1 0 0未満の命令が低シグナリングレートで、バスを介して、T G B Bのアレイに送る。

このテスタの応答ネットワークは、任意のD U T ピンについて任意のT G によって検出されたフェールを、システム・コントローラによって即時に検出するため、F A I L ツリーを含むとともに、任意のストレージロケーションの内容をリード（read）するため、低速、幅広のバスを含んでいる。本発明で具現化された応答ネットワークは、慣用のF A I L ツリーを含む上、慣用のテスタに導入されているセミカスタム・エンジニアリングワークステーションよりも廉価な標準マイクロコンピュータバスを含んでいる。

本発明には、テストプログラムのイベントレート要件を解析するためのコンパイル方法が導入されている。当該ピンに対して必要とするイベントレートを達成するため、各ピンと幾つのT G 1 7 0 を関係付けする必要があるのかを、テスト

プログラムが作成された時に判定するようにして、S T A R - I は、特定のテスト目的のためにカストマに提供されたテスタに含まれるT G 1 7 0 の総数を最小にし、従って、テストのコストを最小にする。この方法により、D U T ピンP E の集まりがテスタT G B B 1 5 0 に関係付けされるトポロジが制限されている。

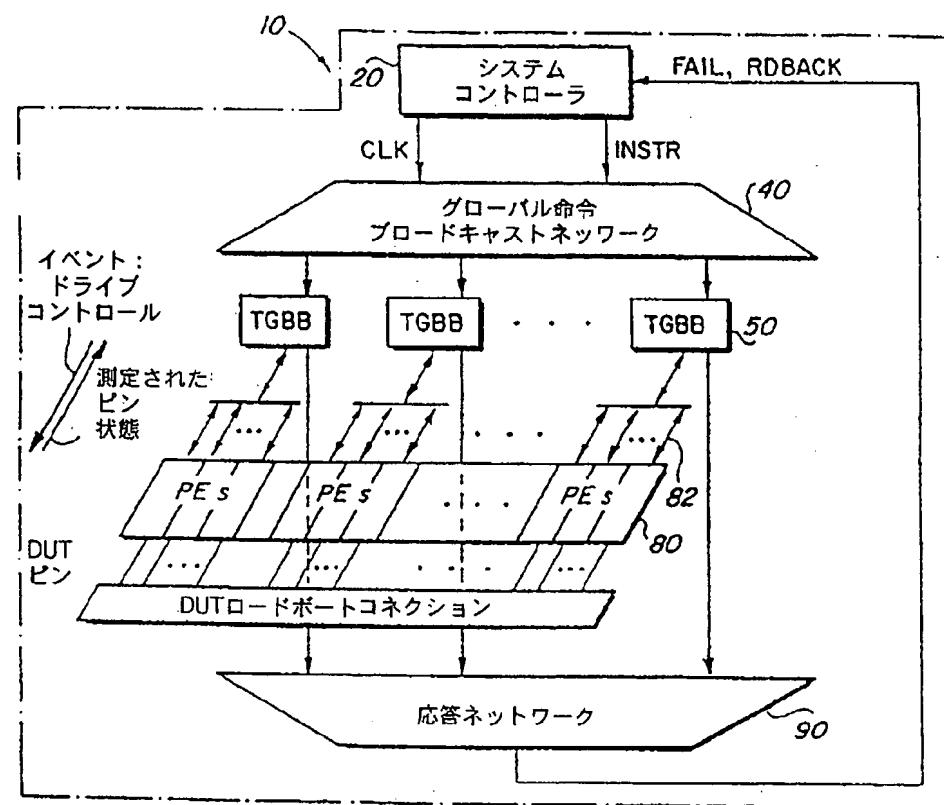
これは、高いイベントレートのピンをT G B B 1 5 0 のセット全体に均等に分布させると、コスト効率が最大になるからである。

本発明はS I M Dコンピュータであり、そのため、その性質上、実装コストが低くなっている。S I M D処理要素はそのコストが20%と低く、これはM I M D処理要素と同じである。I-Cached S I M Dテストのデジタルシステム100は、グローバル命令ブロードキャストネットワークを介して、中程度の粒度で、T G 1 7 0 を管理する。慣用のテストシステムは固定した処理リソースをD U T の各ピンに割り当てている。これに対して、本発明は、テストプログラムの要件により、多くのT G を各D U T ピンに割り当てている。

以上、本発明の特徴を説明するために、本発明の種々の態様を説明したが、当然、これらの態様に本発明が制限されるものではない。従って、当業者による種々の修正、変更、同等の構成は、本発明の請求の範囲を逸脱するものではない。

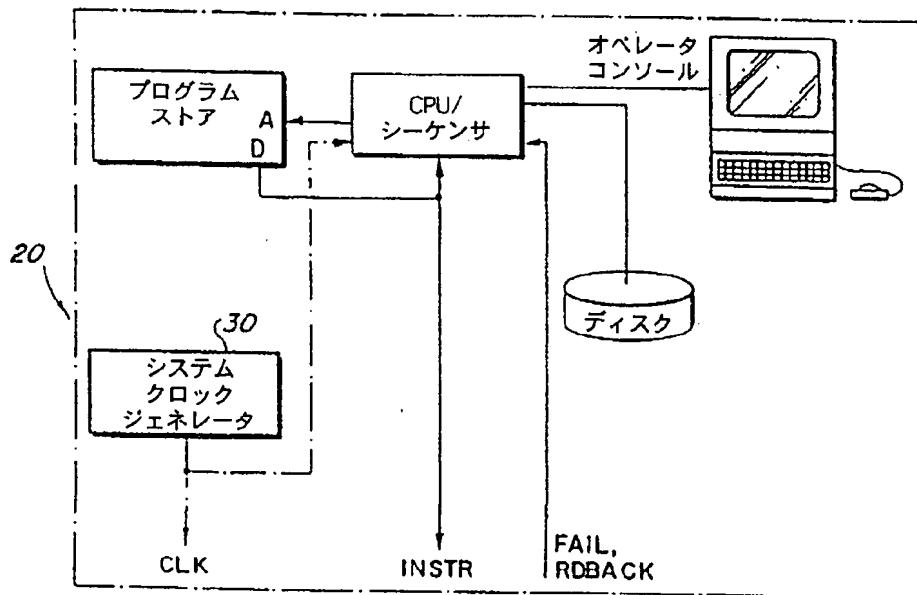
【図1】

Fig. 1 (従来技術)



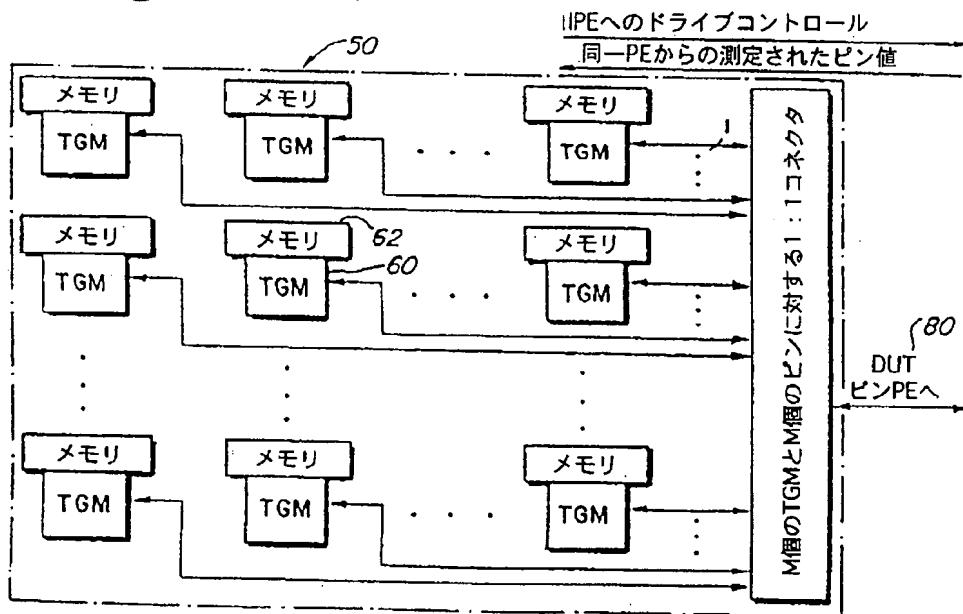
【図2】

Fig. 2 (従来技術)

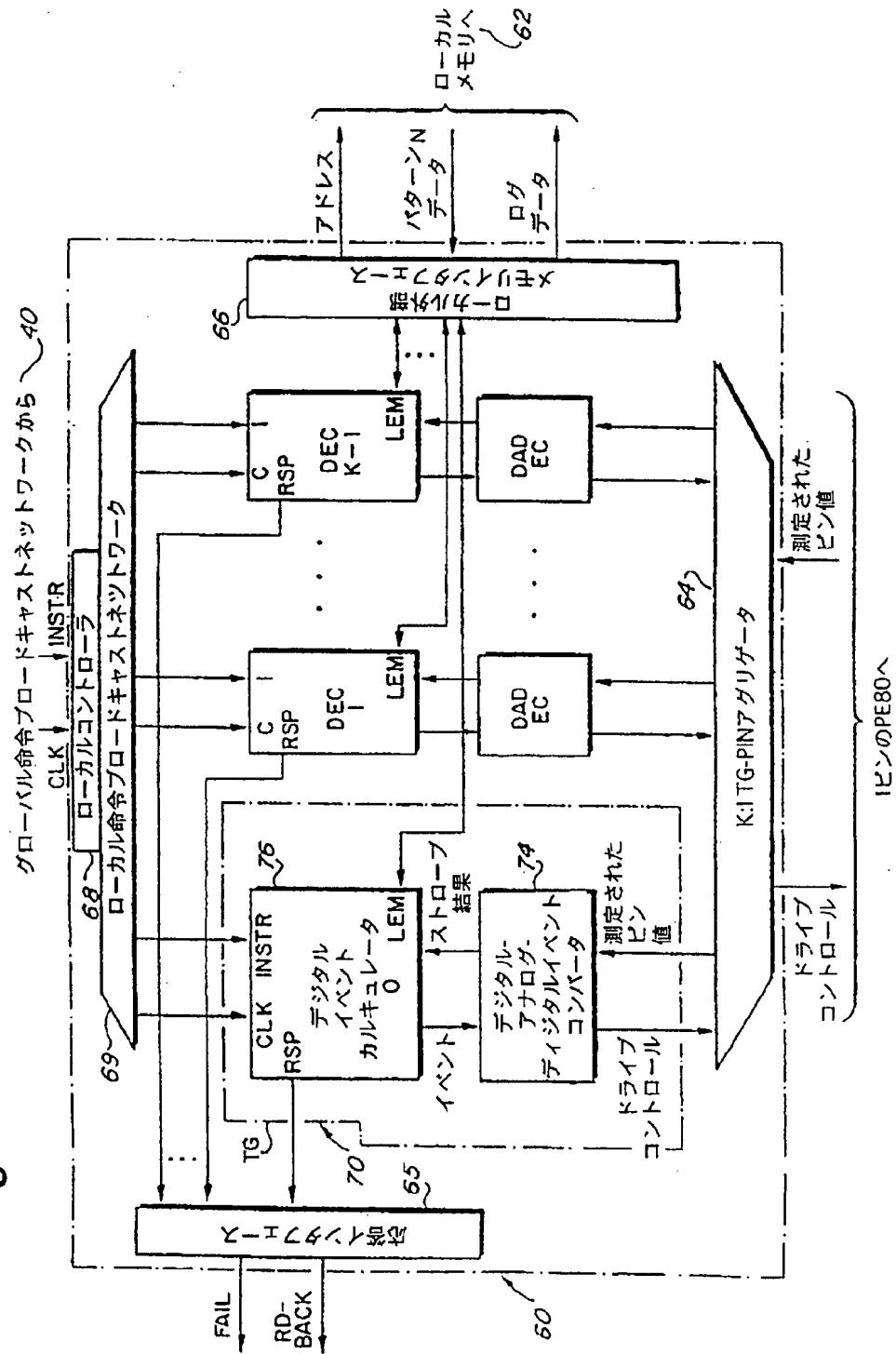


【図3】

Fig. 3 (従来技術)

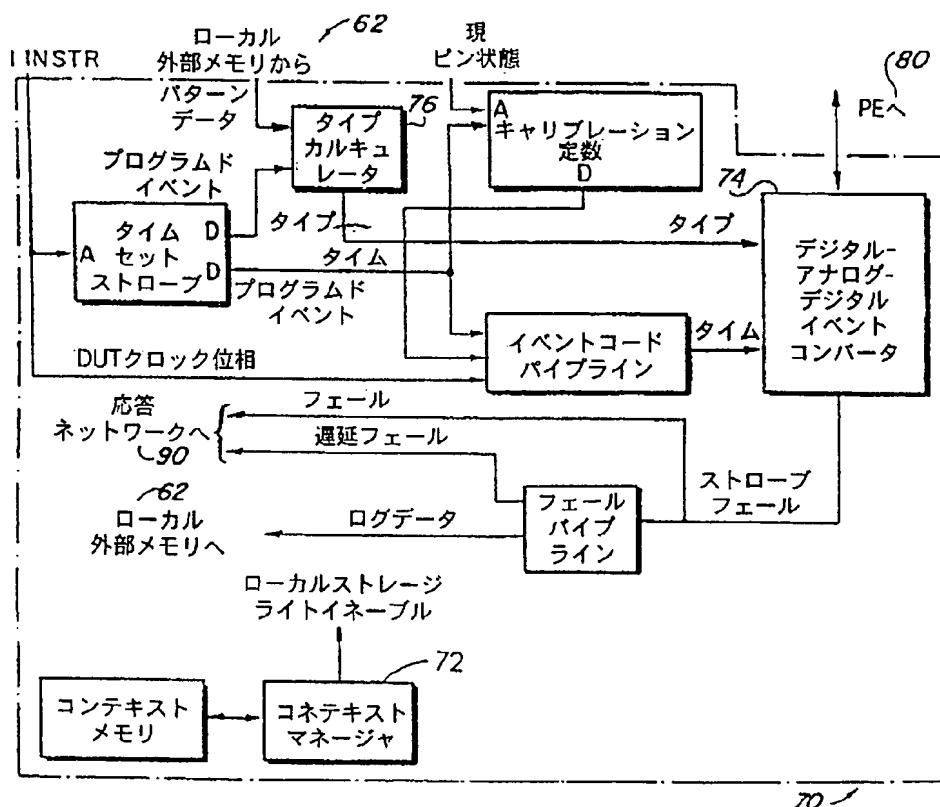


【図4】



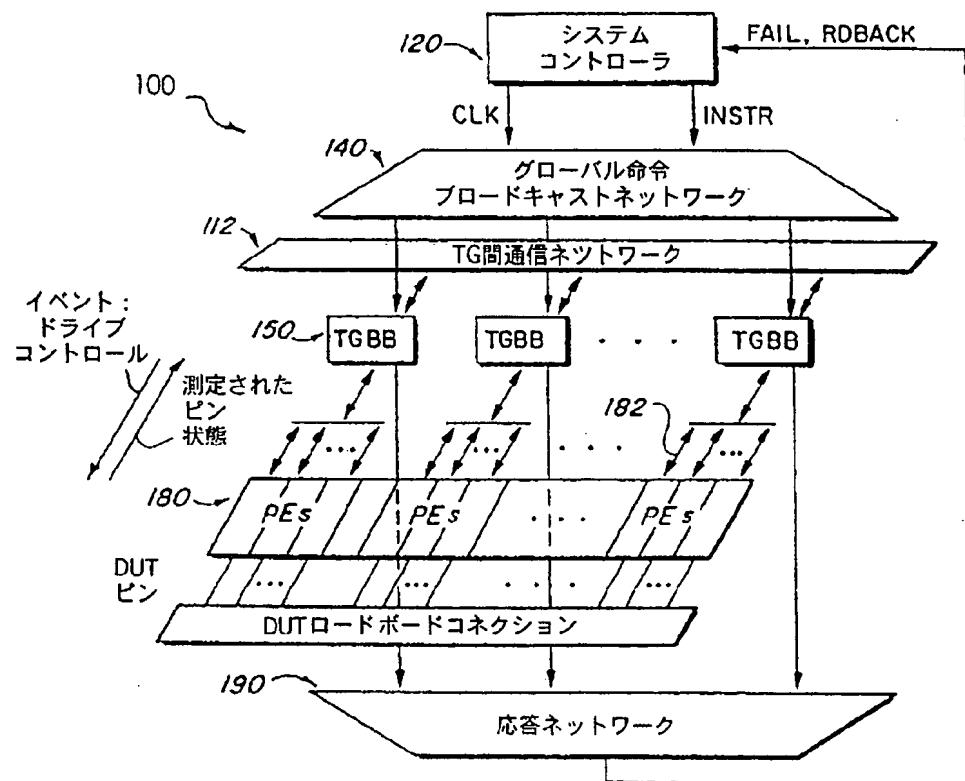
【図5】

Fig. 5 (従来技術)

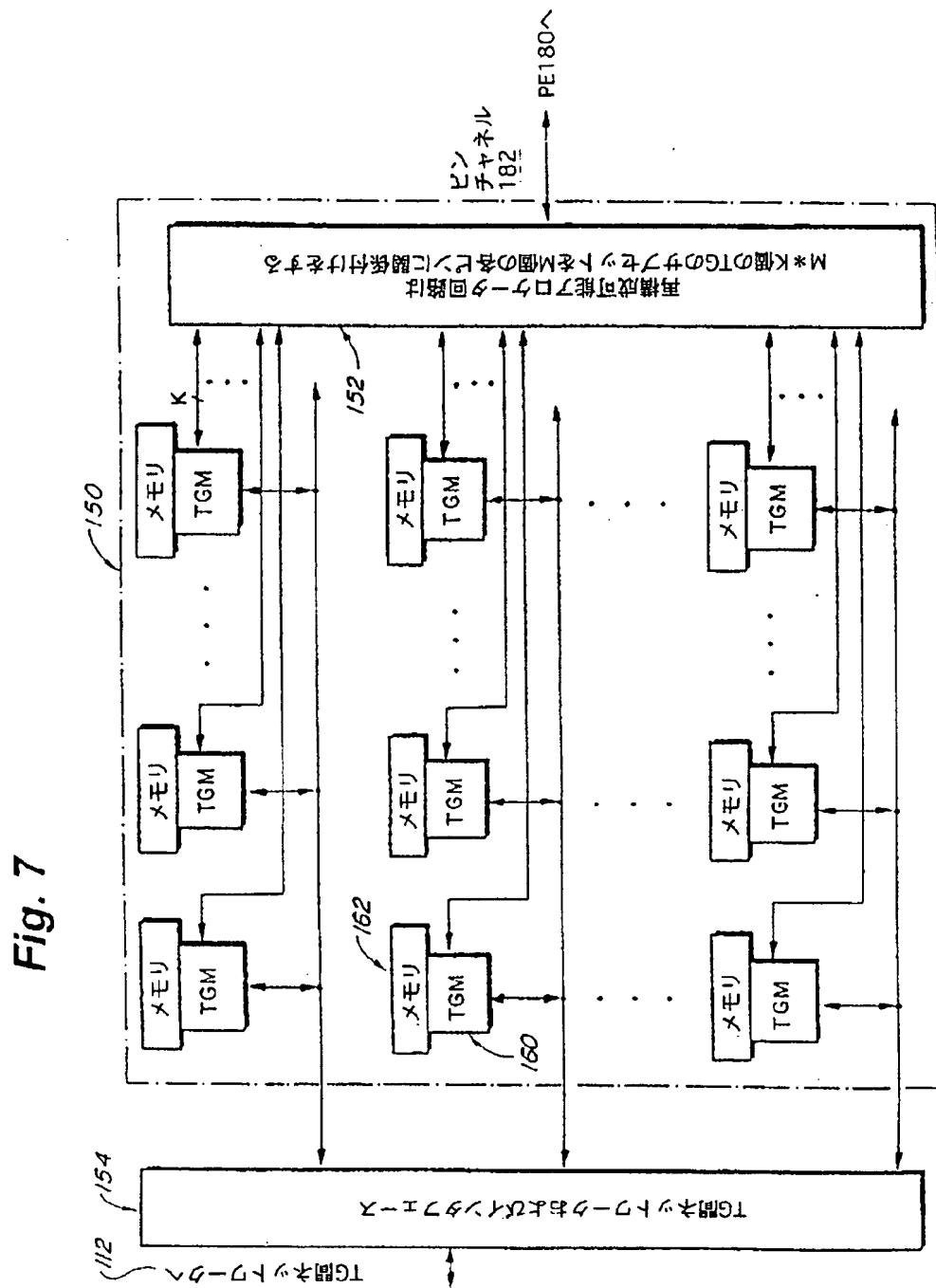


【図6】

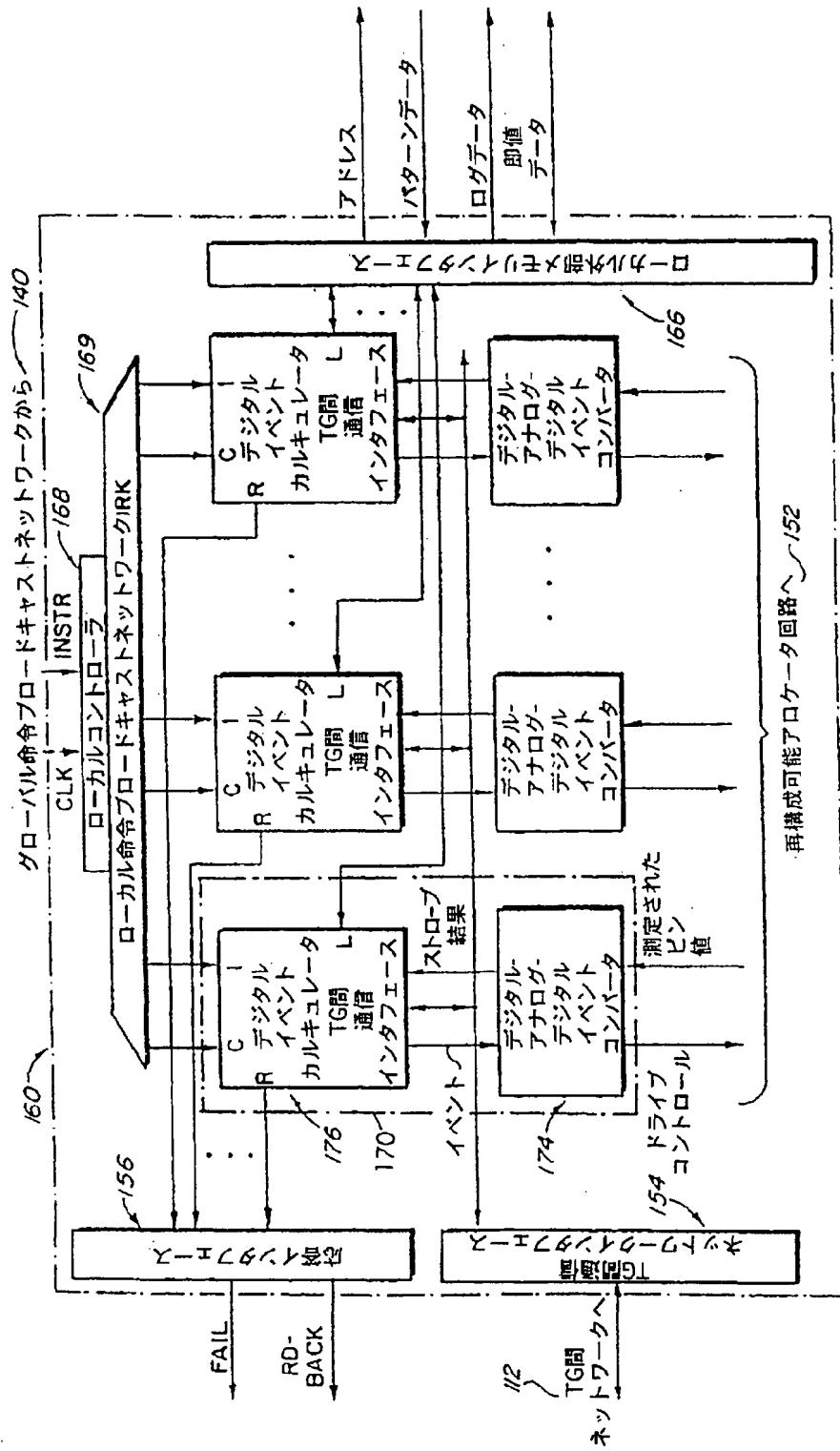
Fig. 6



【図7】

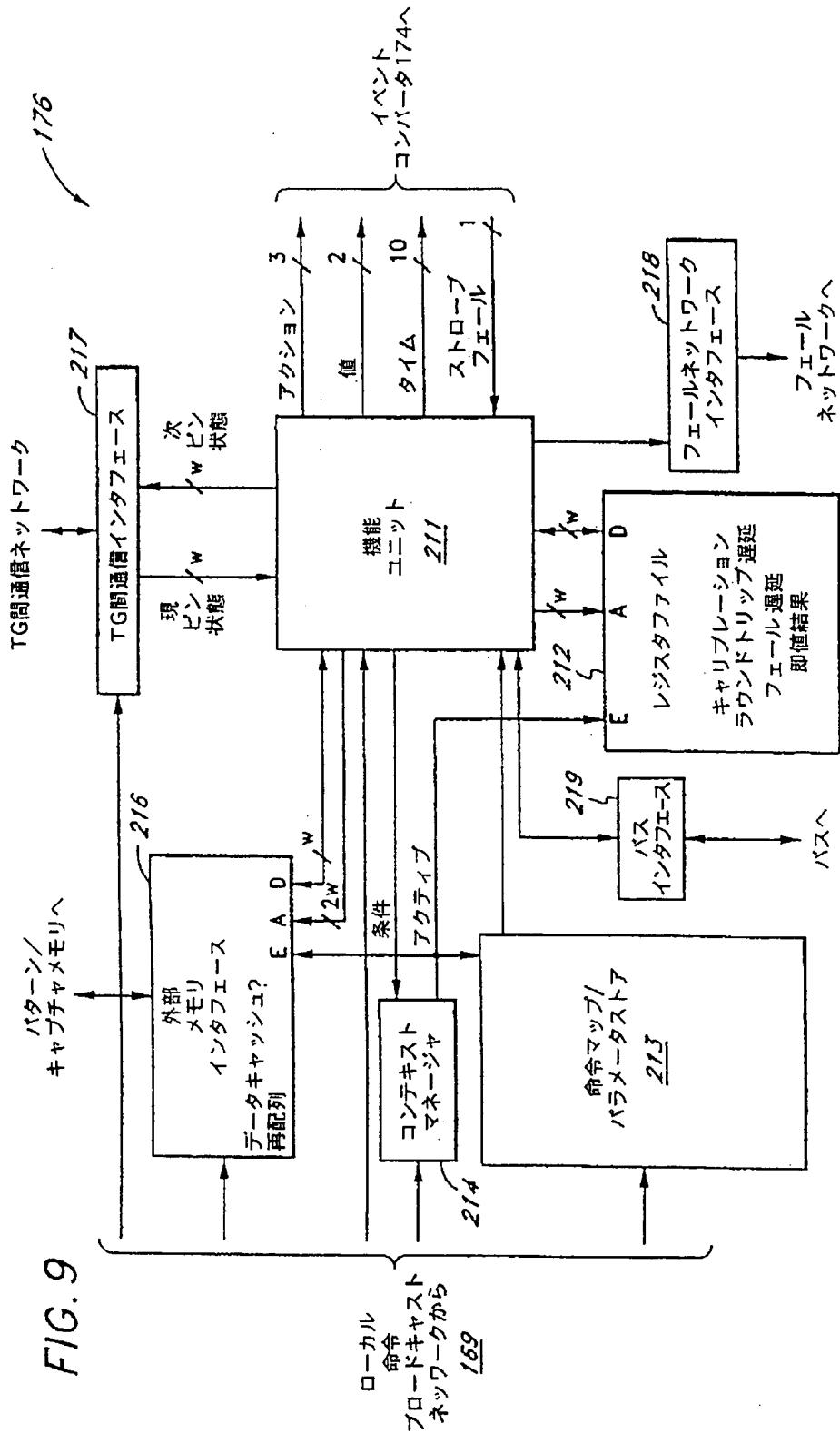


【図8】

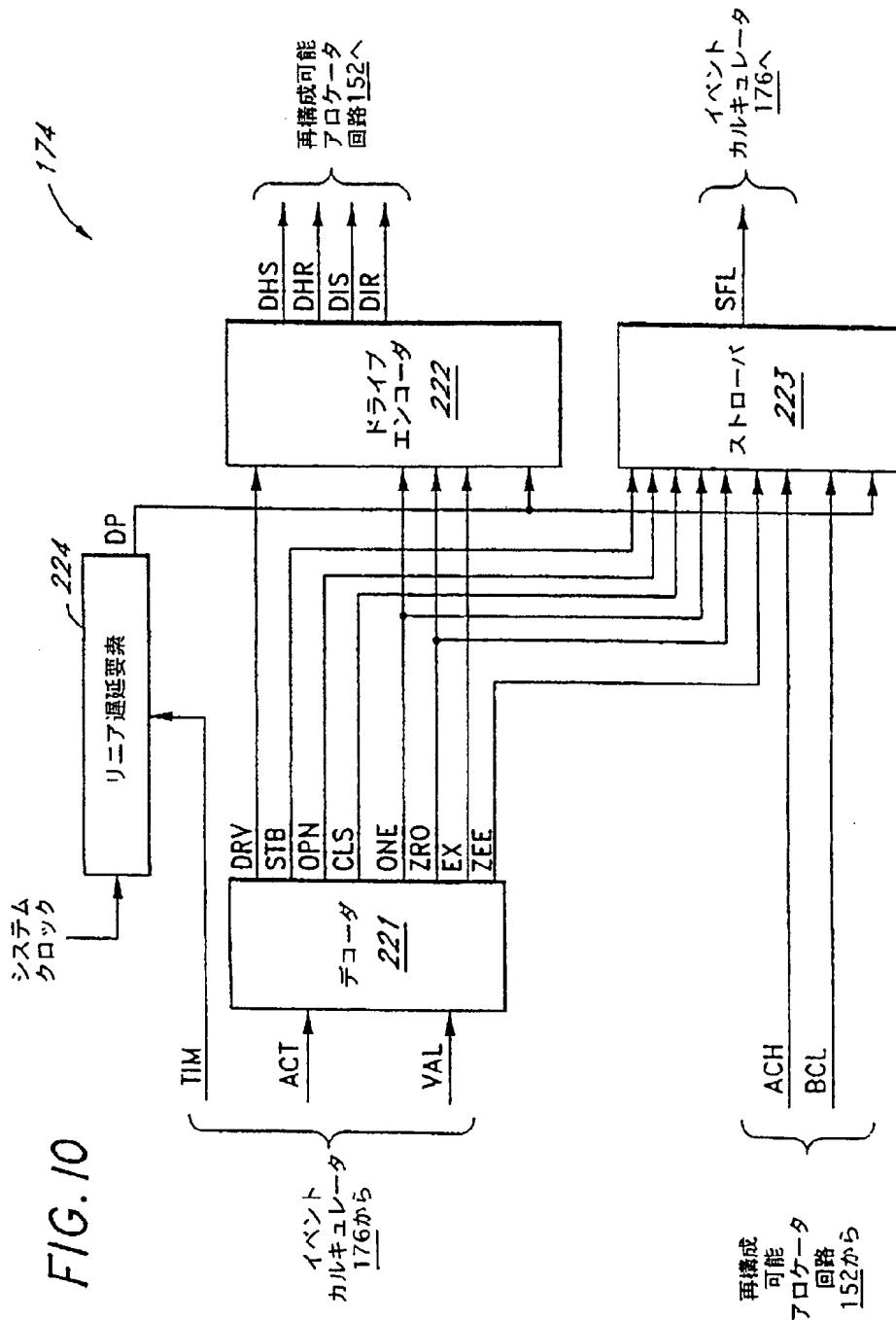


8
fig.

【図9】



【図10】



【図11】

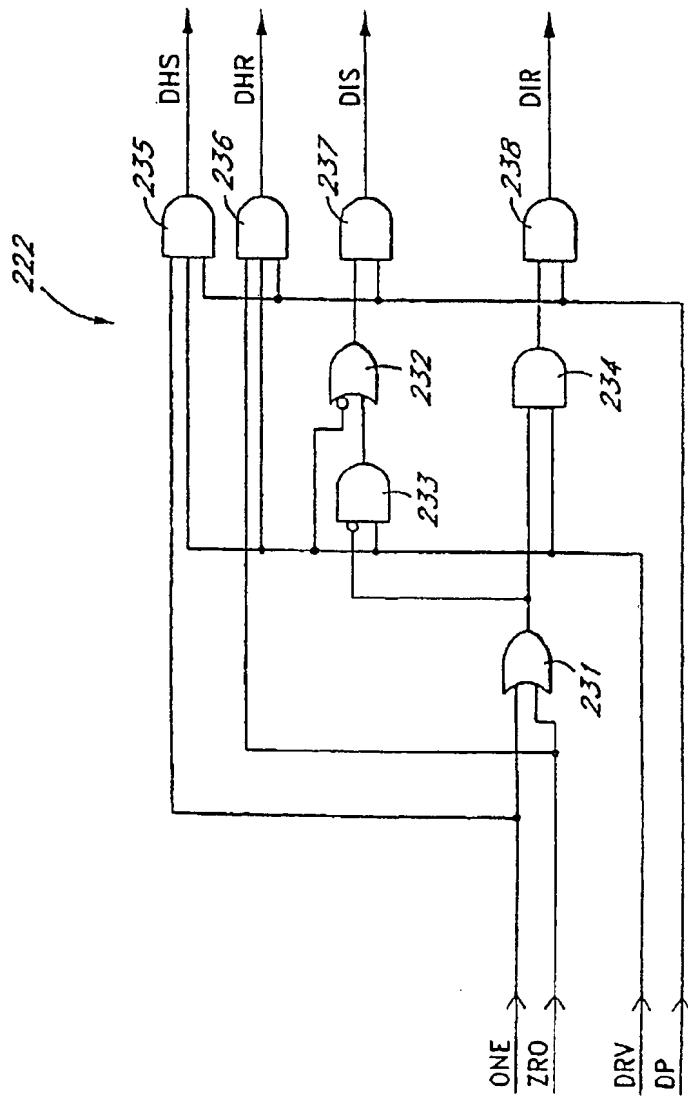


FIG. 11

【図12】

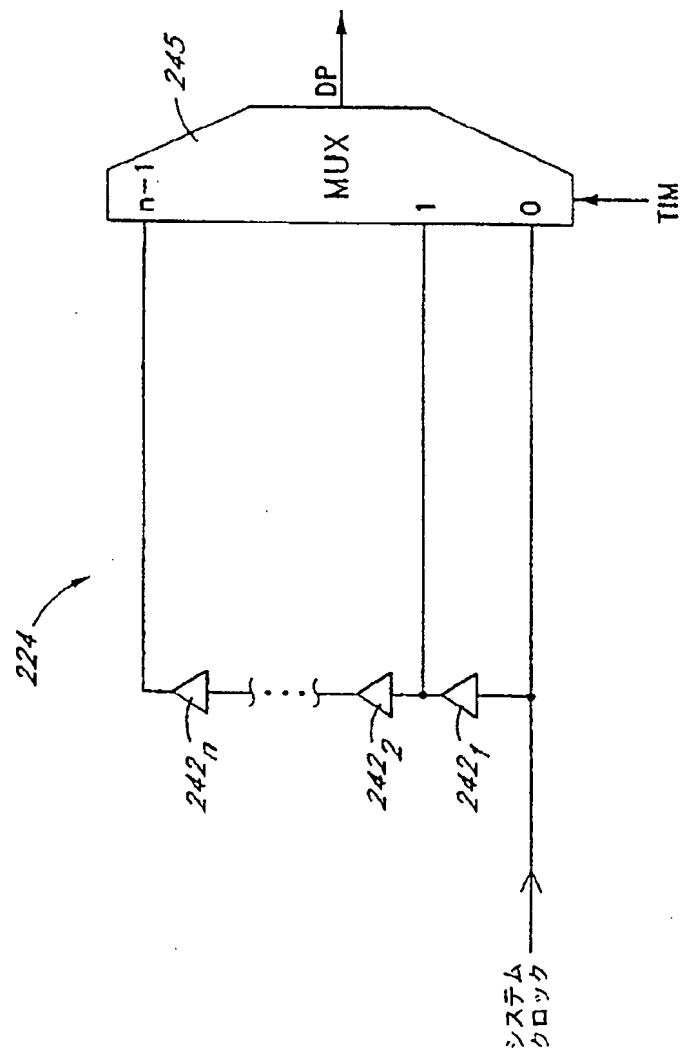
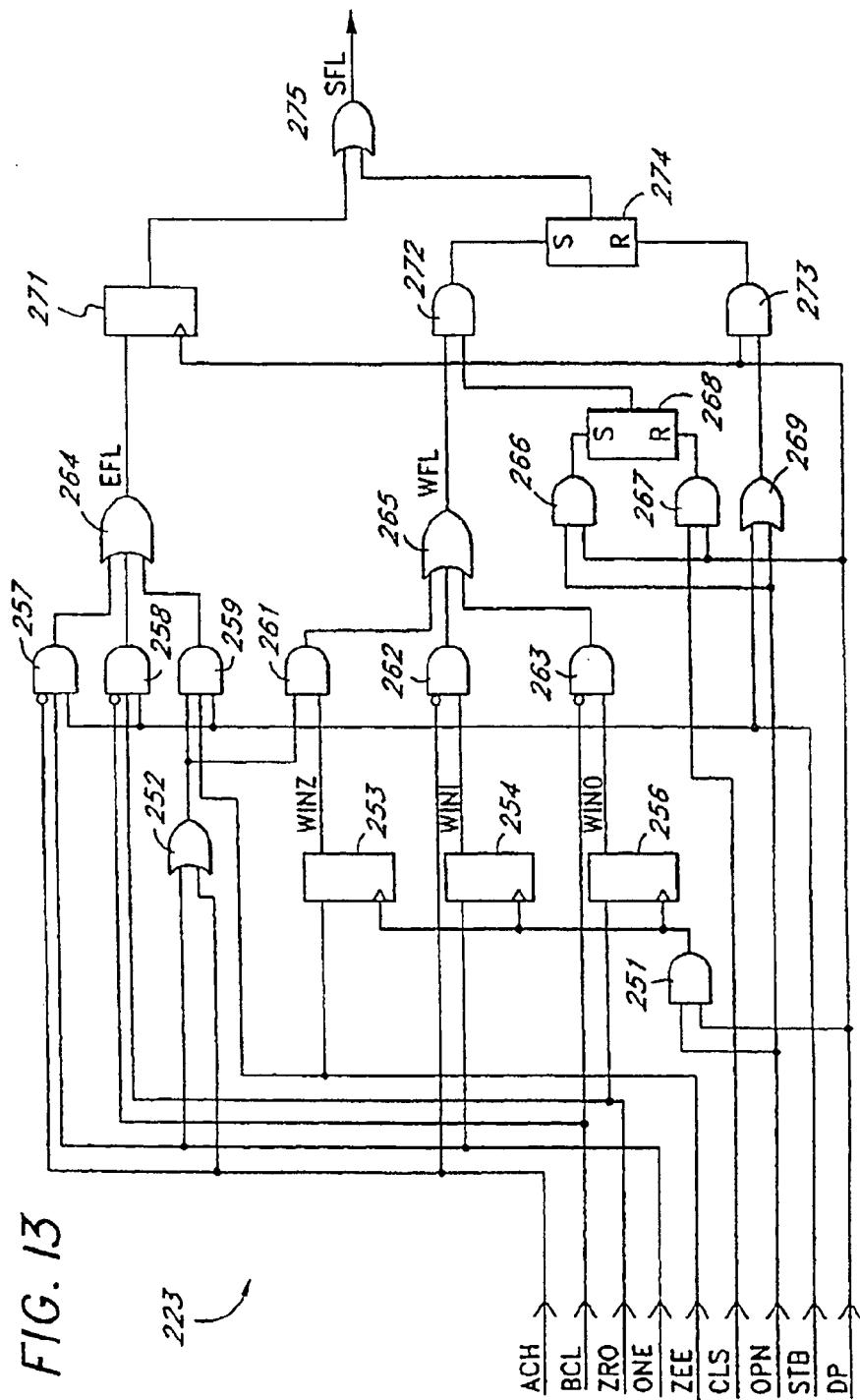


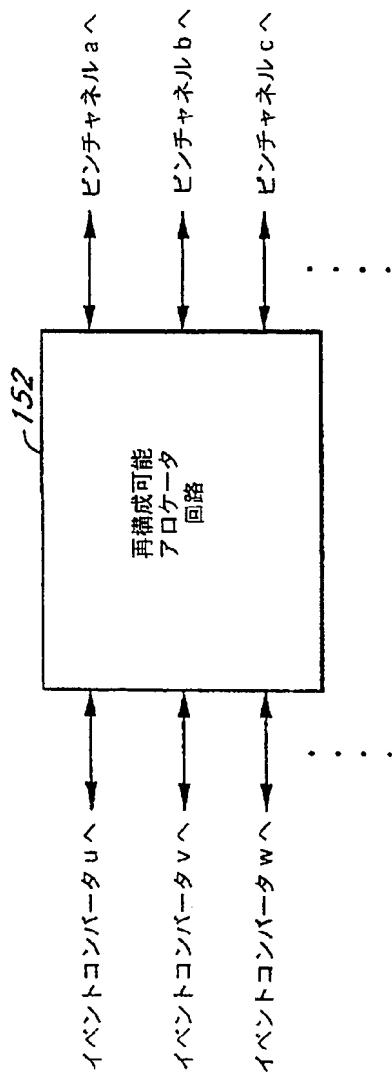
FIG. 12

【図13】

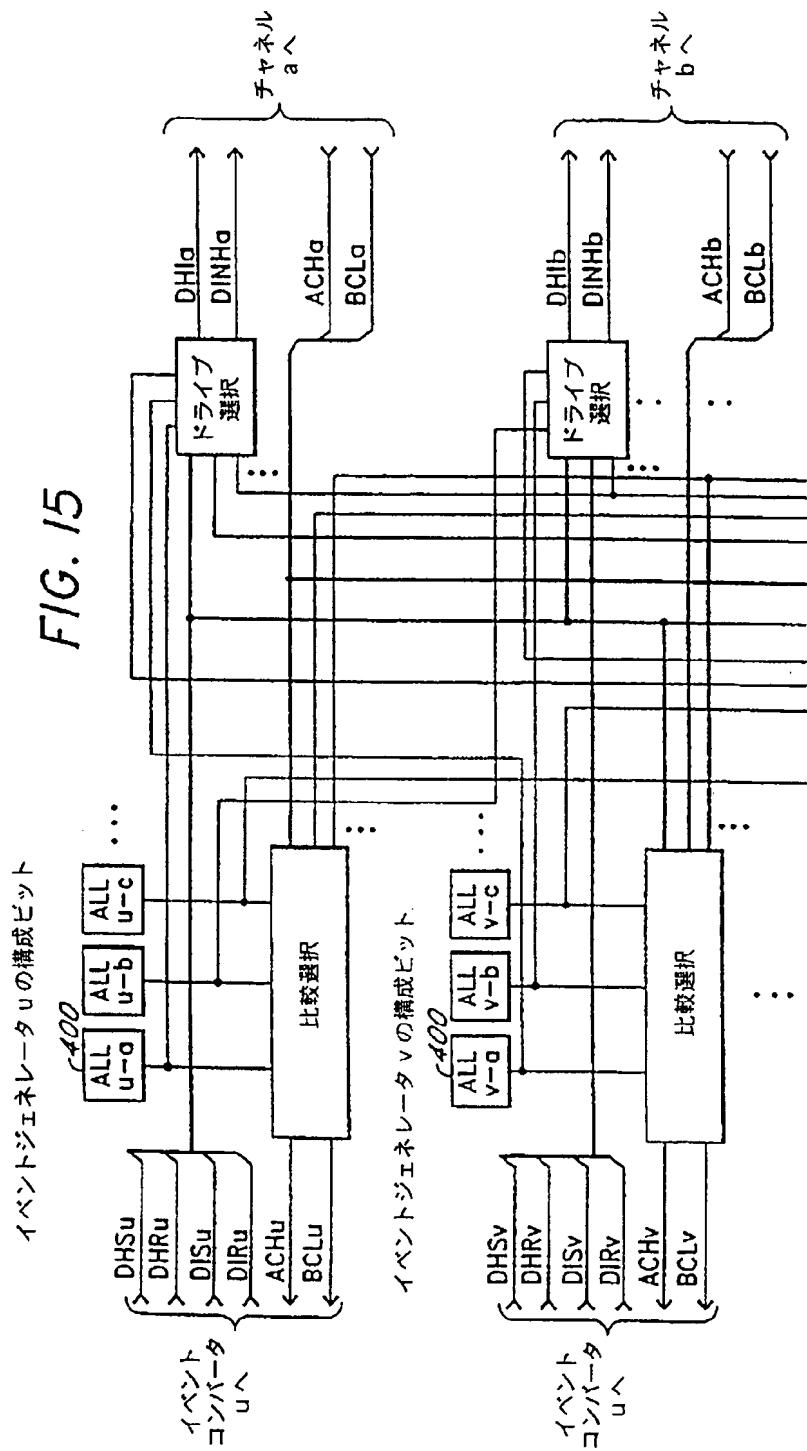


【図14】

FIG. 14



【図15】



【図15】

FIG. 15A

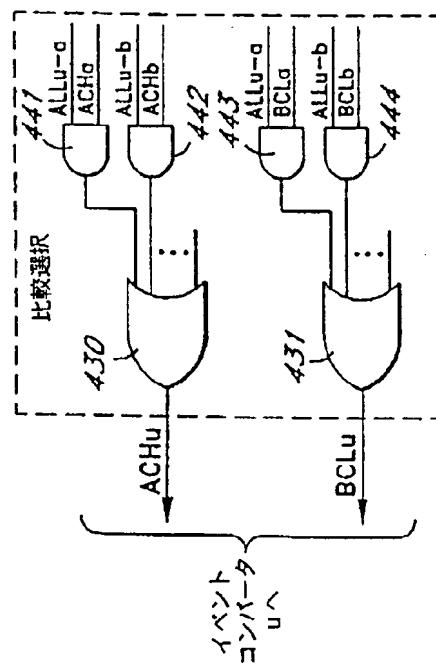
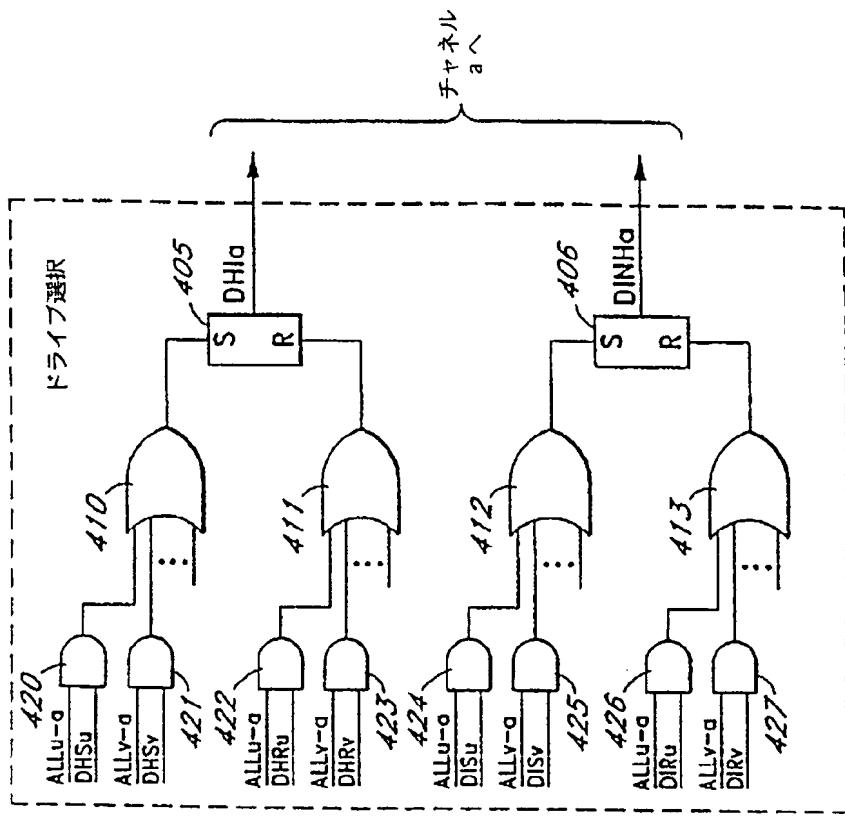
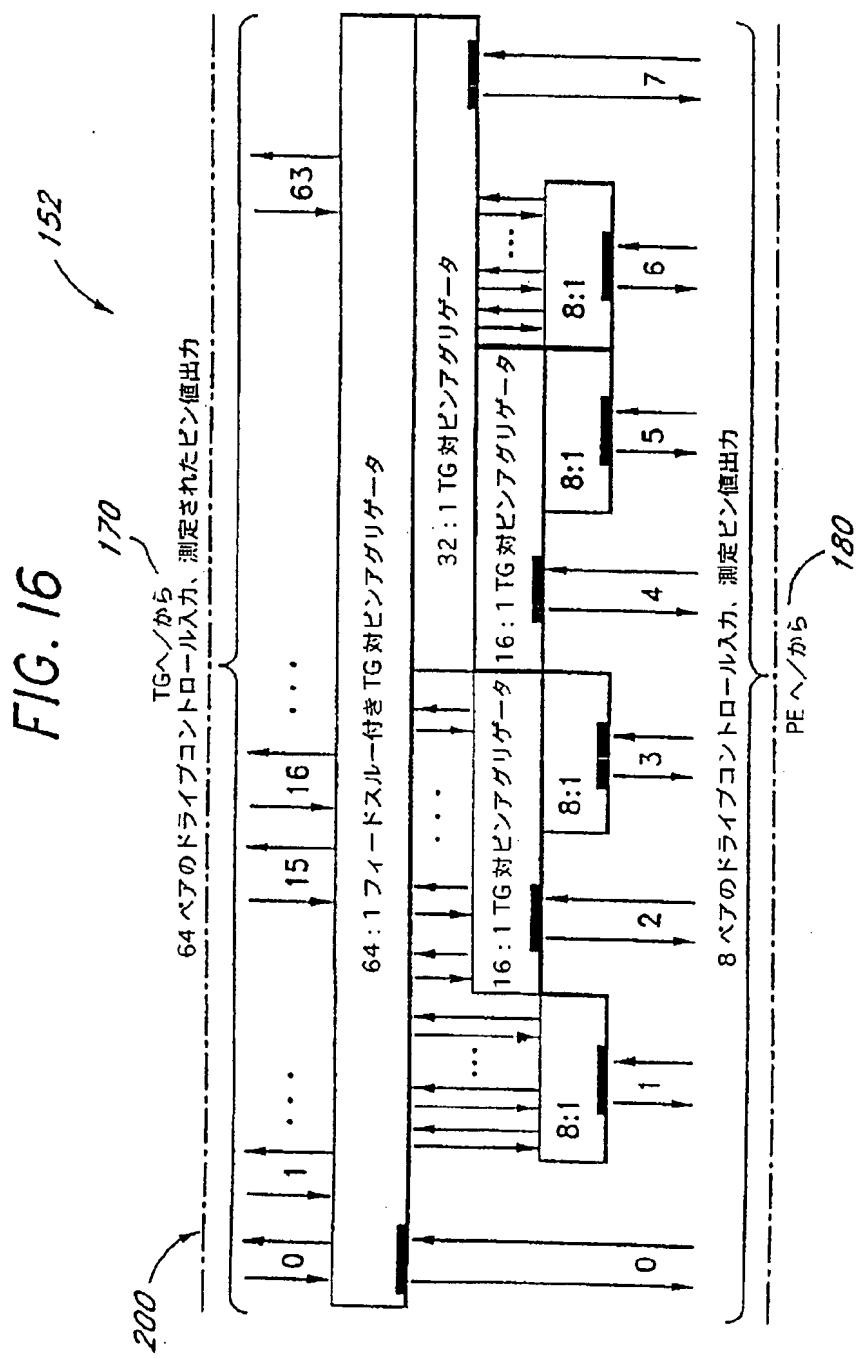


FIG. 15B

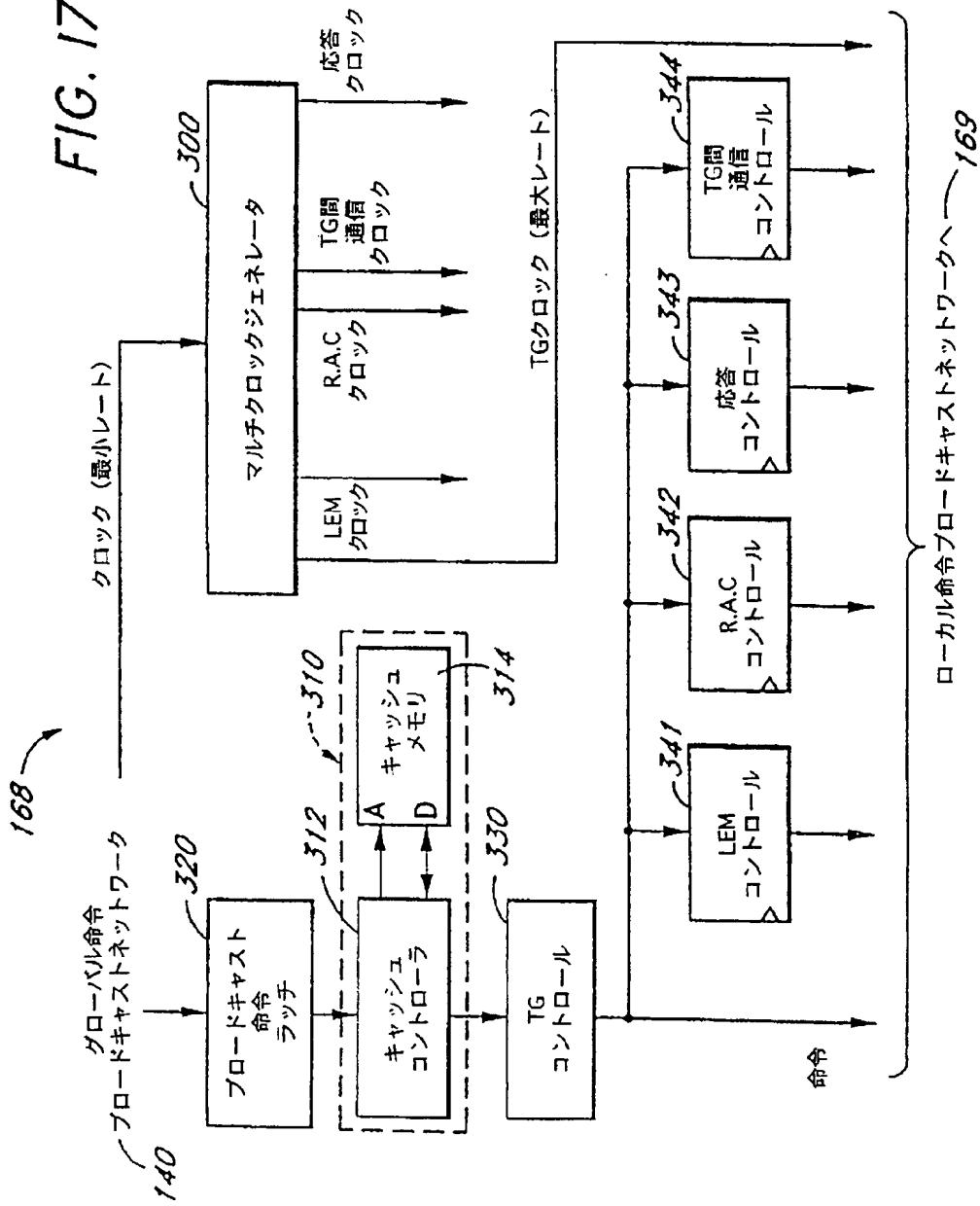


【図16】



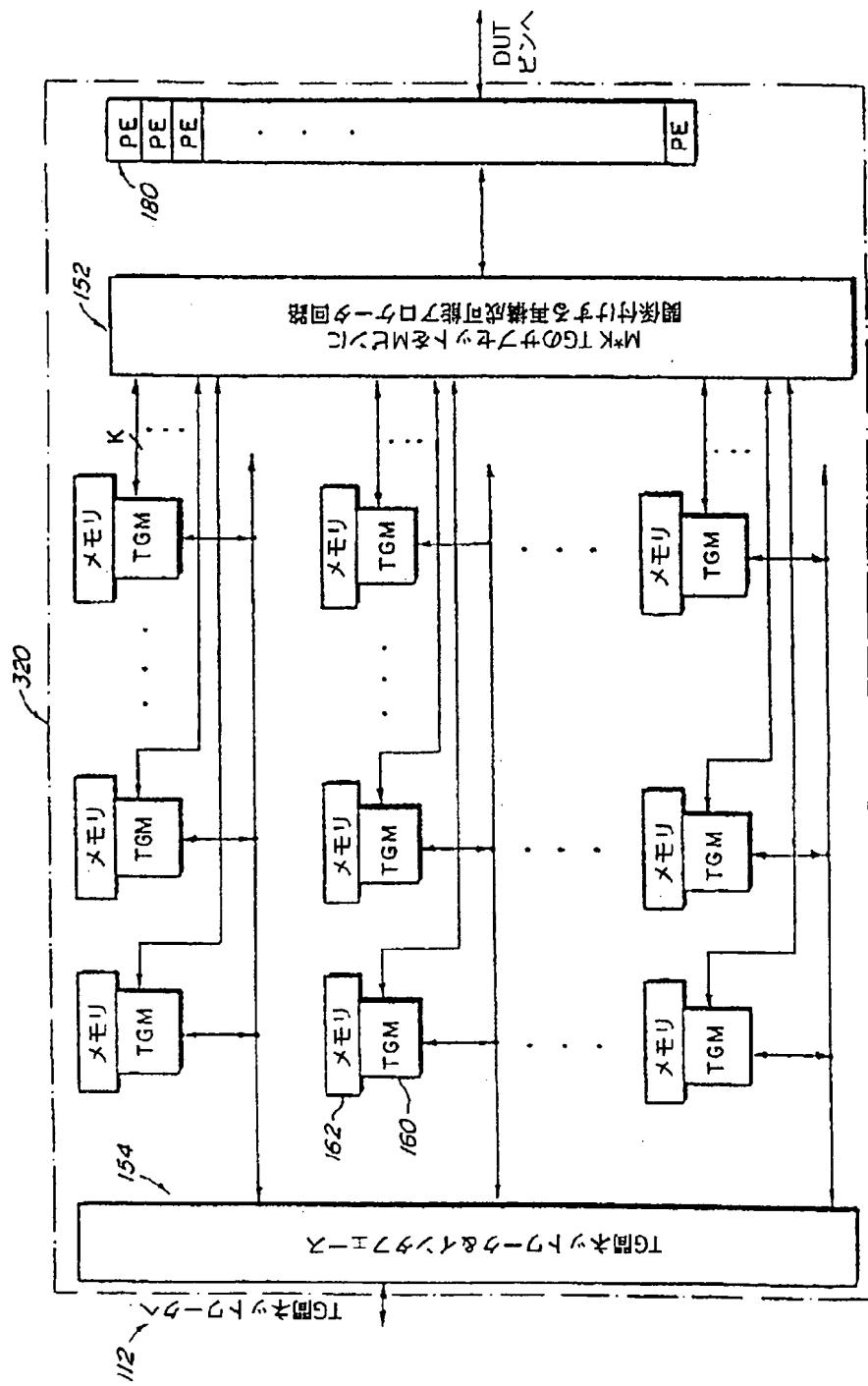
【図 17】

FIG. 17



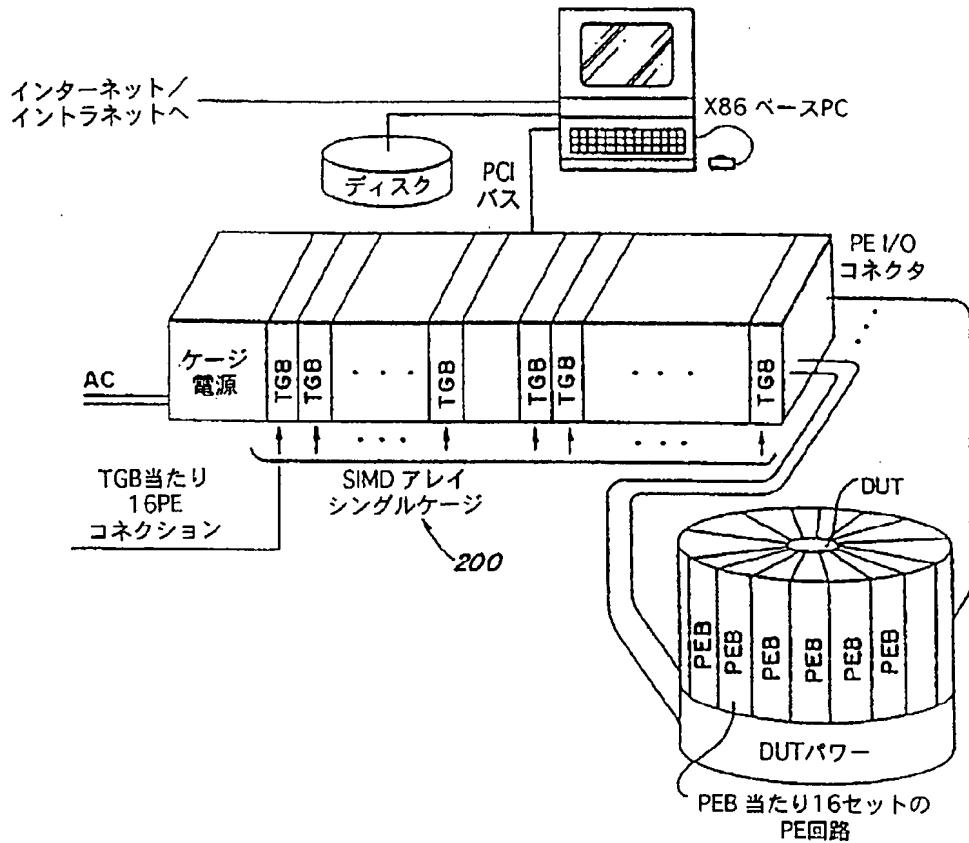
【図18】

Fig. 18



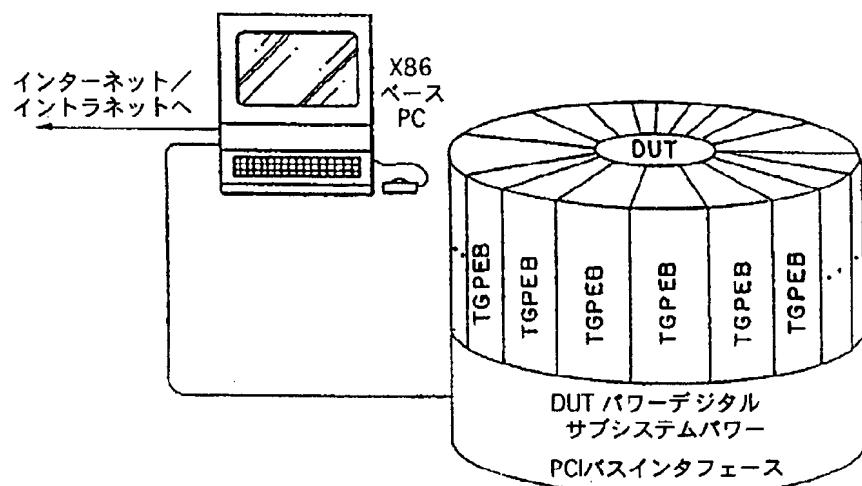
【図 19】

Fig. 19



【図20】

Fig. 20



【手続補正書】特許法第184条の8第1項

【提出日】平成10年8月18日(1998.8.18)

【補正内容】

(原文請求の範囲)

1. テスタ回路に結合するための入出力信号バスとしてサーブする複数の電気コントタクト入出力ピンを有するDUTをテストするSIMP半導体チップテスタ装置であって、

動作状態で1対1接続するため前記DUTの複数のピンに対応させた複数のピンエレクトロニクス回路と、

対応するDUTピンと通信するため対応するピンエレクトロニクス回路に個々に結合させた複数のピンチャネルと、

システムクロックを生成しテストプログラムをストアし順序付けるデジタルシステムコントローラと、

前記デジタルシステムコントローラに応答する複数のタイミングジェネレータモジュールであって、それぞれ、単一の半導体チップ上に形成したタイミングジェネレータのアレイであって、前記DUTをテストするため、正確にタイミングをとったドライブイベントとストローブイベントの予め定めたシーケンスを、テストプログラムおよびシステムクロックに従って生成するタイミングジェネレータのアレイを有する単一の半導体チップであるタイミングジェネレータモジュールであり、プログラマブル処理機能を有するタイミングジェネレータモジュールであって、前記ピンチャネルのうち選択されたピンチャネルとソフトウェア制御により選択的に関係付けが可能であり、その結果、複数のタイミングジェネレータと各選択されたピンチャネルとを多対1で関係付けすることができるタイミングジェネレータモジュールと、

前記タイミングジェネレータモジュールを制御しコーディネートしメモリ増補する複数のマルチチップサブシステムと
を備え、

前記各タイミングジェネレータモジュールは、前記マルチチップサブシステムと、前記タイミングジェネレータモジュール内のタイミングジェネレータとを接

続するインターフェースコネクションをさらに備えたことを特徴とするテスタ装置。

2. 請求項1において、

前記システムコントローラからのクロック情報と命令とを前記タイミングジェネレータモジュールに配送するグローバル命令ブロードキャストサブシステムと、

前記タイミングジェネレータからのテストステータス情報を収集し、前記システムコントローラに返す応答サブシステムと、

前記タイミングジェネレータモジュール内に実現したインターフェースであって、前記タイミングジェネレータモジュールと前記ピンチャネルとを接続するコネクションを提供するインターフェースを組み込んだDUT入出力サブシステムとを含むデジタルシステムを備えたことを特徴とするテスタ装置。

3. 請求項1において、

前記タイミングジェネレータモジュールは、少なくとも1つのイベントカルキュレータ回路と少なくとも1つのマークジェネレータ回路とを含み、

前記イベントカルキュレータ回路は、デジタル回路設計手法を使用して実現してあり、

前記マークジェネレータ回路は、アナログ回路設計手法を使用して実現した動的に再構成可能なプログラマブルディレイ回路を備えたことを特徴とするテスタ装置。

4. 請求項3において、前記タイミングジェネレータのイベントカルキュレータ回路は、それぞれ、タイミングジェネレータの柔軟性とスケーラビティを向上させるプログラマブル処理要素であることを特徴とするテスタ装置。

5. 請求項4において、前記プログラマブル処理要素は、汎用のカルキュレーション能力を有することを特徴とするテスタ装置。

6. 請求項5において、前記プログラマブル処理要素は算術論理演算ユニットと、

リードポートとライトポートを有するレジスタファイルと、
前記マルチチップサブシステムとのインタフェースであって機能ユニット相当
の複数のインタフェースと、
コンテキスト管理ユニットと
を含み、

前記処理ユニットは、レジスタ間オペレーションを条件付きで実行し、レジタ
スファイルデータを前記マルチチップサブシステムを介してやりとりする
ことを特徴とするテスタ装置。

7. 請求項2において、前記デジタルシステム内の種々のタイミングジェネレ
ータ対が即値テスト結果と他のデータをやりとりすることができるよう、前記
タイミングジェネレータモジュールどうしを相互接続する通信サブシステムをさ
らに備えたことを特徴とするテスタ装置。

8. 請求項1において、デジタルシステムコントローラは、
当該ピンチャネルに必要なイベントレートを達成するととともに、適用された
テストプログラムに必要な前記タイミングジェネレータの総数を判定するため
に、適用しようとするテストプログラムのイベントレート要件を解析するとともに
、前記各ピンチャネルと関係付けするために必要な前記タイミングジェネレータ
の数を計算するコンパイラ手段を含むことを特徴とするテスタ装置。

9. 請求項1において、前記タイミングジェネレータモジュールは、
グローバルブロードキャストされた命令を、前記タイミングジェネレータモジ
ュール内の前記マルチチップサブシステムのインタフェースに再ブロードキャス
トするための命令であって、前記アレイ内の各タイミングジェネレータに再
ブロードキャストするための命令にデコードする能力を有するローカルコントロ
ーラを備えたこと特徴とするテスタ装置。

10. 請求項2において、

シングルチップ・タイミングジェネレータモジュール内で実現可能な記憶容量
を超える記憶容量を、タイミングジェネレータに提供するローカル外部メモリサ
ブシステムをさらに備え、

前記ローカル外部メモリサブシステムは、それぞれ、少なくとも1つのメモリチップをもつ複数のメモリモジュールを含み、前記タイミングジェネレータのうちの一意のタイミングジェネレータと1対1に関係付けをしたことと特徴とするテスタ装置。

11. 請求項2において、

前記デジタルシステムは、タイミングジェネレータをピンチャネルに割り当てる再構成可能アロケータ回路を含み、

前記タイミングジェネレータのソフトウェアで指定された複数のサブセットは、前記ピンチャネルと関係付けしてあり、

前記ソフトウェアで指定されたサブセットは、それぞれ、該ソフトウェアで指定された各サブセットの各タイミングジェネレータによって生成されたイベントを、前記ピンチャネルのうちの前記一意のピンチャネルにマルチプレクシングするためであって、前記各ピンチャネルのうちの観察されたピン値出力を、タイミングジェネレータのうちのソフトウェアで指定された各関係付けをしたサブセットの各メンバに配達するために、前記ピンチャネルのうちの前記一意のピンチャネルと1対1に関係付けをしたこと

と特徴とするテスタ装置。

12. 請求項11において、前記タイミングジェネレータの前記ソフトウェアで指定されたサブセットは、相互に非連続であることを特徴とするテスタ装置。

13. 請求項11において、

前記再構成可能アロケータ回路は、機能テスト実施中に該再構成可能アロケータ回路の再構成を可能にすることによってランタイム再割り当てを行う構成になっており、

前記再構成は、グローバルブロードキャストされた命令に応答して行われることと特徴とするテスタ装置。

14. 請求項13において、前記再構成可能アロケータ回路は、前記各タイミングジェネレータと前記各ピンチャネルとをコネクションパスで接続する能力を有するクロスバースイッチを備えたことを特徴とするテスタ装置。

15. 請求項11において、前記再構成可能アロケータ回路は、前記各タイミングジェネレータから前記各ピンチャネルへ多対1マッピングする第1の構成を備えたことを特徴とするテスタ装置。

16. 請求項15において、

前記再構成可能アロケータ回路は、多対多マッピングする第2の構成をさらに備え、

前記各タイミングジェネレータは、前記ピンチャネルの少なくとも1つと関係付けし、

前記各ピンチャネルは、前記複数のタイミングジェネレータと関係付したことの特徴とするテスタ装置。

17. 請求項11において、前記再構成可能アロケータ回路は、前記タイミングジェネレータと前記ピンチャネルとの間の可能なコネクションのセットのうちの選択された適正なサブセットを提供する回路トポロジを備えたことを特徴とするテスタ装置。

18. 請求項11において、

前記再構成可能アロケータ回路は、前記各タイミングジェネレータモジュールと1対1で関係付けをしたクロスバースイッチを備え、

前記クロスバースイッチは、前記タイミングジェネレータアレイ内の全てのタイミングジェネレータモジュールと、該タイミングジェネレータモジュールと関

係付けをした前記各ピンチャネルとの間に複数のパスを提供したことの特徴とするテスタ装置。

19. 請求項11において、前記再構成可能アロケータ回路は、

前記タイミングジェネレータと前記複数のピンチャネルとの間の選択的にイネーブルにした電気的パスと、

前記各タイミングジェネレータからの利用可能なパスのうちの1つのパスを確実にイネーブルにするメモリベース構成の制御回路と、

前記各ピンチャネルと関係付をしたタイミングジェネレータからの制御信号を、前記制御メモリの内容から判断して結合する少なくとも1つの時間ドメイン・

エッジマルチプレクサと、

測定されたピン値を、前記各ピンチャネルと関係付けをしたタイミングジェネレータに、該制御メモリの内容から判断して、配達する少なくとも1つのアナログデマルチプクサと

をさらに備えたことを特徴とするテスタ装置。

20. SIMD半導体テスタで使用されるタイミングジェネレータモジュールであって、

一般的にプログラマブルなタイミングジェネレータのアレイと、印加されたテスタシステムクロック信号に応答して、複数のハイレートクロック信号を生成するマルチクロックジェネレータ回路を有する少なくとも1つのマルチクロックジェネレータと、

前記タイミングジェネレータを制御するためのプログラム命令を受け取りストアする手段と

を備え、

前記生成された複数のハイレートクロック信号は、前記タイミングジェネレータモジュールのサブシステムであって前記タイミングジェネレータモジュールに接続されたサブシステムを、それぞれ、物理的な実装によって決まる最大レートのオペレーションで、制御する

ことを特徴とするタイミングジェネレータモジュール。

21. 請求項20において、

命令をストアするためのキャッシュ要素と、

前記キャッシュ要素と関係付をしたキャッシュコントローラとをさらに含み、

前記キャッシュコントローラは、グローバルブロードキャストされた命令に応答して、選択された命令を前記キャッシュ要素にストアするとともに、指定された命令シーケンスを取り出し、タイミングジェネレータモジュール内にローカルに再ブロードキャストする

ことを特徴とするタイミングジェネレータモジュール。

22. S I M D半導体テスタデジタルシステムであって、
システムクロックレートで発振するシステムクロック信号により制御されるグ
ローバル命令ブロードキャストネットワークと、
第2のクロック信号により制御されるマルチチップサブシステムと、
前記グローバル命令ブロードキャストネットワークに結合されるとともにマル
チチップサブシステムに結合され、シングルチップ上に実装されたタイミングジ
エネレータモジュールであって、
第3のクロック信号によって制御される第1内部サブシステムと、
第4のクロック信号によって制御される第2内部サブシステムと、
前記システムクロック信号に応答して、前記第2、第3、および第4クロック
信号を含む複数のクロック信号を生成するマルチクロック生成回路と
を含むタイミングジェネレータモジュールと
を備え、
前記第3および第4クロック信号のうちの一方のクロック信号が、前記システム
クロックレートより高速のタイミングジェネレータモジュールのクロックレー
トで発振するタイミングジェネレータモジュールのクロック信号であり、
前記第2クロック信号が、前記システムクロックレートよりも高いレートであ

るが、前記タイミングジェネレータモジュールのクロック信号よりも高いレート
でないマルチチップサブシステムのクロックレートで発振する
ことを特徴とするS I M D半導体テスタデジタルシステム。

23. D U T内部の回路にアクセスするための複数のコンタクトポイントをも
つD U Tをテストするテスタであって、
前記D U Tの複数のコンタクトポイントに対してイベントシーケンスを発生す
る複数のタイミングジェネレータ・ビルディングブロックと、
前記複数のタイミングジェネレータ・ビルディングブロックの間でデータをや
りとりすることが可能であり、各タイミングジェネレータ・ビルディングブロッ
クが他の各タイミングジェネレータ・ビルディングブロックとデータをやりとり
してイベントシーケンスを発生することが可能な通信ネットワークと

を備えたことを特徴とするテスタ。

24. 請求項23において、

前記各タイミングジェネレータ・ビルディングブロックは、複数のタイミング
ジェネレータモジュールを備え、

前記各タイミングジェネレータモジュールは、イベントシーケンスを発生する
ため、複数のタイミングジェネレータを含む
ことを特徴とするタイマ。

25. 請求項24において、

前記各タイミングジェネレータは、前記DUTの各コンタクトポイントに関係
付けしてあり、

前記通信ネットワークは、異なるコンタクトポイントと関係付けしたタイミング
ジェネレータがデータをやりとりすることを可能にする
ことを特徴とするテスタ。

26. 請求項23において、前記データは、テストされているコンタクトポイ

ントの現在状態に関係するデータと関係しないデータを備えたことを特徴とする
テスタ。

27. 請求項25において、前記データは、テストされているコンタクトポイ
ントの現在状態に関係するデータと関係しないデータを備えたことを特徴とする
テスタ。

28. 請求項23において、

テストプログラムに従ってシステムクロック信号と命令とを供給するシステム
コントローラと、

前記システムクロック信号と前記命令とを複数のタイミングジェネレータ・ビ
ルディングブロックにブロードキャストして、イベントシーケンスをテストプロ
グラムに従って発生させるグローバル命令ブロードキャストネットワークと
をさらに備えたことを特徴とするテスタ。

29. 請求項24において、

テストプログラムに従ってシステムクロック信号と命令とを供給するシステム

コントローラと、

前記システムクロック信号と命令とを複数のタイミングジェネレータ・ビルディングブロックにブロードキャストして、イベントシーケンスをテストプログラムに従って発生させるグローバル命令ブロードキャストネットワークと、
をさらに備えたことを特徴とするテスト。

30. 請求項24において、各タイミングジェネレータを各コンタクトポイントに選択的に関係付けして、タイミングジェネレータとコンタクトポイントとの関係付けがソフトウェア制御により再割り当てできるようにする再構成可能アロケータユニットをさらに備えたことを特徴とするタイマ。

31. 請求項24において、

前記タイミングジェネレータは、複数のサブセットのタイミングジェネレータに分割されて、各サブセットが少なくとも1つのタイミングジェネレータを含んでおり、

前記コンタクトポイントは、複数のサブセットのコンタクトポイントに分割されて、各サブセットが少なくとも1つのコンタクトポイントを含んでおり、

タイミングジェネレータの各サブセットは、コンタクトポイントのサブセットと関係付けしてあり、

前記テストは、タイミングジェネレータの各サブセットに対して、タイミングジェネレータのサブセットの各タイミングジェネレータを、コンタクトポイントの関係付けをしたサブセットの個々のコンタクトポイントと選択的に関係付けして、タイミングジェネレータとコンタクトポイントとの関係付けが、ソフトウェア制御により再割り当て可能な再構成可能アロケータユニットを備えたことを特徴とするタイマ。

32. 請求項24において、

各タイミングジェネレータモジュールは、そのタイミングジェネレータモジュール内のサブシステムか、そのタイミングジェネレータモジュールに接続した少なくとも1つのサブシステムを有し、

各タイミングジェネレータモジュールは、システムクロック信号を受信し、受

信されたシステムクロック信号から複数のローカルクロック信号であって、タイミングジェネレータモジュールの前記少なくとも1つのサブシステムの各サブシステムを、そのサブシステムのほぼ最高レートのオペレーションで制御するためのローカルクロック信号を含む複数のローカルクロック信号を生成するマルチクロックジェネレータを備えたことを特徴とするタイマ。

33. 請求項24において、各タイミングジェネレータは、ALUとレジスタファイルを含んでいて、前記DUTの複数のコンタクトポイントのためにイベントシーケンスを発生するプログラマブルイベントカルキュレータを備えたことを

特徴とするテスト。

34. 請求項33において、前記各タイミングジェネレータは、テスト中にオペレートして、命令の条件付き実行を可能にするコンテキストマネージャをさらに備えたことを特徴とするテスト。

35. DUT内の回路にアクセスするための複数のコンタクトポイントを有するDUTをテストするテストであって、

前記DUTの複数のコンタクトポイントに対してイベントシーケンスを発生する複数のタイミングジェネレータであって、前記DUTの各コンタクトポイントと関係付けをした複数のタイミングジェネレータと、

異なるコンタクトポイントと関係付けをしたタイミングジェネレータにデータをやりとりさせ、イベントシーケンスを発生する通信ネットワークとを備えたことを特徴とするテスト。

36. 請求項35において、前記データは、テスト中のコンタクトポイントの現在状態に関係するデータと関係しないデータを備えたことを特徴とするテスト。

37. 請求項35において、

テストプログラムに従ってシステムクロック信号と命令とを供給するシステムコントローラと、

前記システムクロック信号と命令を複数のタイミングジェネレータにブロード

キャストし、イベントシーケンスをテストプログラムに従って発生させるグローバル命令ブロードキャストネットワークとをさらに備えたことを特徴とするテスト。

38. 請求項35において、

複数のタイミングジェネレータの各タイミングジェネレータを複数のコンタクトポイントの各コンタクトポイントに選択的に関係付け、タイミングジェネレ

タとコンタクトポイントとの関係付けを、ソフトウェア制御により再割り当て可能な再構成可能アロケータユニットをさらに備えたことを特徴とするテスト。

39. 請求項35において、前記各タイミングジェネレータは、ALUとレジスタファイルを含んでいて、前記DUTの複数のコンタクトポイントのためにイベントシーケンスを発生するプログラマブルイベントカルキュレータを備えたことを特徴とするテスト。

40. 請求項39において、前記各タイミングジェネレータは、テスト中にオペレートして、命令の条件付き実行を可能にするコンテキストマネージャをさらに備えたことを特徴とするテスト。

41. DUT内の回路にアクセスするための複数のコンタクトポイントを有するDUTをテストするテストであって、

前記DUTの複数のコンタクトポイントに対してイベントシーケンスを発生する複数のタイミングジェネレータと、

前記複数のタイミングジェネレータの各タイミングジェネレータを複数のコンタクトポイントの各コンタクトポイントに選択的に関係付けて、タイミングジェネレータとコンタクトポイントとの関係付けを、ソフトウェア制御により再割り当て可能な再構成可能アロケータユニットとを備えたことを特徴とするテスト。

42. 請求項41において、

前記タイミングジェネレータは、タイミングジェネレータの複数のサブセットであって、少なくとも1つのタイミングジェネレータをそれぞれ含む複数のサブセットに区分され、

前記コンタクトポイントは、コンタクトポイントの複数のサブセットであって、少なくとも1つのコンタクトポイントをそれぞれ含む複数のサブセットに区分され、

タイミングジェネレータの各サブセットは、コンタクトポイントのサブセットと関係付けしてあり、

前記再構成可能アロケータユニットは、タイミングジェネレータの各サブセットに対して、タイミングジェネレータのサブセットの各タイミングジェネレータを、コンタクトポイントの関係付けをしたサブセットの個々のコンタクトポイントに選択的に関係付けし、タイミングジェネレータとコンタクトポイントとの関係付けが、ソフトウェア制御により再割り当て可能であることを特徴とするタイマ。

43. 請求項41において、

テストプログラムに従ってシステムクロック信号と命令を供給するシステムコントローラと、

前記システムクロック信号と命令を複数のタイミングジェネレータ・ビルディングブロックにブロードキャストして、イベントシーケンスをテストプログラムに従って発生させるグローバル命令ブロードキャストネットワークとをさらに備えたことを特徴とするテスト。

44. 請求項41において、

異なるコンタクトポイントと関係付けをしたタイミングジェネレータによるデータのやりとりを可能にし、イベントシーケンス発生を可能にした通信ネットワークをさらに備えたことを特徴とするテスト。

45. 請求項44において、前記データは、テストされているコンタクトポイントの現在状態に関するデータと関係しないデータを備えたことを特徴とするテスト。

46. 請求項41において、各タイミングジェネレータは、ALUとレジスタファイルを含んでいて、前記DUTの複数のコンタクトポイントのためにイベントシーケンスを発生するプログラマブルイベントカルキュレータを備えたことを

特徴とするテスタ。

47. 請求項46において、前記各タイミングジェネレータは、テスト中にオペレートして、命令の条件付き実行を可能にするコンテキストマネージャをさらに備えたことを特徴とするテスタ。

48. DUT内の回路にアクセスするための複数のコンタクトポイントを有するDUTをテストするテスタであって、

前記DUTの複数のコンタクトポイントに対してイベントシーケンスを発生する複数のタイミングジェネレータを備え、

前記各タイミングジェネレータモジュールは、該タイミングジェネレータモジュール内に少なくとも1つのサブシステムを有するか、該タイミングジェネレータモジュールに接続した少なくとも1つのサブシステムを有し、

前記各タイミングジェネレータモジュールは、システムクロック信号を受信し、受信されたシステムクロック信号から、複数のローカルクロック信号であって、タイミングジェネレータモジュールの前記少なくとも1つのサブシステムの各サブシステムを、そのサブシステムのほぼ最高レートのオペレーションで制御するためのローカルクロック信号を含む複数のローカルクロック信号を生成するマルチクロックジェネレータ含む

ことを特徴とするタイマ。

49. 請求項48において、各タイミングジェネレータモジュールに対して、マルチクロックジェネレータによって発生されるローカルクロック信号は、システムクロック信号のクロックレートよりも大であるか、等しいクロックレートであることを特徴とするテスタ。

50. 請求項48において、各タイミングジェネレータモジュールは、

命令をストアするメモリと、

前記命令をメモリにライトし、タイミングジェネレータモジュール内でブロー

ドキャストするために、メモリから指定の命令シーケンスを取り出すメモリコントローラと

を備えたことを特徴とするテスタ。

5.1. 請求項4.8において、

前記各タイミングジェネレータモジュールは、イベントシーケンスを発生するための複数のタイミングジェネレータを含んでおり、

本テスタは、タイミングジェネレータをコンタクトポイントに選択的に関係付けして、タイミングジェネレータとコンタクトポイントとの関係付けが、ソフトウェア制御により再割り当て可能な再構成可能アロケータユニットをさらに備えた

ことを特徴とするテスタ。

5.2. 請求項4.8において、

前記各タイミングジェネレータモジュールは、複数のタイミングジェネレータを含み、各タイミングジェネレータがDUTの各コンタクトポイントに関係付けしてあり、

本テスタは、異なるコンタクトポイントと関係付けしたタイミングジェネレータがデータをやりとりしてイベントシーケンスを発生可能な通信ネットワークをさらに備えた

ことを特徴とするテスタ。

5.3. 請求項5.2において、前記データは、テストされているコンタクトポイントの現在状態に関するデータと関係しないデータを備えたことを特徴とするテスタ。

5.4. 請求項4.8において、

前記各タイミングジェネレータモジュールは、イベントシーケンスを発生するための複数のタイミングジェネレータを含み、

前記各タイミングジェネレータは、ALUとレジスタファイルを含んでいて、前記DUTの複数のコンタクトポイントのためにイベントシーケンスを発生するプログラマブルイベントカルキュレータを備えた

ことを特徴とするテスタ。

5.5. 請求項5.4において、前記データは、テストされているコンタクトポイントの現在状態に関するデータと関係しないデータを備えたことを特徴とする

テスタ。

56. DUT内の回路にアクセスするための複数のコンタクトポイントを有するDUTをテストするテスタであって、

ALUとレジスタファイルをそれぞれ含み、前記DUTの複数のコンタクトポイントのためにイベントシーケンスを発生するプログラマブルイベントカルキュレータをそれぞれ含む複数のタイミングジェネレータを備えたことを特徴とするテスタ。

57. 請求項56において、前記各タイミングジェネレータは、テスト中にオペレートして、命令の条件付き実行をイネーブルにするコンテキストマネージャをさらに備えたことを特徴とするテスタ。

58. 請求項56において、

前記各タイミングジェネレータは、前記DUTの各コンタクトポイントと関係付けしてあり、

本テスタは、異なるコンタクトポイントと関係付けしたタイミングジェネレータがデータをやりとりしてイベントシーケンスを発生することができる通信ネットワークをさらに備えたことを特徴とするテスタ。

59. 請求項58において、前記データは、テストされているコンタクトポイントの現在状態に関係するデータと関係しないデータとを備えたことを特徴とするテスタ。

60. 請求項56において、タイミングジェネレータをコンタクトポイントに選択的に関係付けして、タイミングジェネレータとコンタクトポイントとの関係付けがソフトウェア制御により再割り当て可能な再構成可能アロケータユニットをさらに備えたことを特徴とするテスタ。

61. DUT内の回路にアクセスするための複数のコンタクトポイントを有するDUTをテストするテスタであって、

テストプログラムに従ってシステムクロック信号と命令を供給するシステムコントローラと、

前記システムクロック信号と前記命令をブロードキャストするグローバル命令
ブロードキャストネットワークと、

前記ブロードキャストされたシステムクロック信号と命令とをグローバル命令
ブロードキャストネットワークから受信する複数のタイミングジェネレータ・ビ
ルディングブロックであって、それぞれ、複数のタイミングジェネレータモジュ
ールを含む複数のタイミングジェネレータ・ビルディングブロックと、

タイミングジェネレータモジュール内に少なくとも1つのサブシステムを有す
るか、前記タイミングジェネレータモジュールに接続された少なくとも1つのサ
ブシステムを有するタイミングジェネレータモジュールであって、

システムクロック信号から、タイミングジェネレータモジュールの前記少なく
とも1つのサブシステムの各サブシステムをそのサブシステムのほぼ最高レート
のオペレーションで制御する複数のローカルクロック信号を生成するマルチクロ
ックジェネレータと、

A L Uとレジスタファイルを含んでいて、前記D U Tの複数のコンタクトポイ
ントのためにイベントシーケンスを発生するプログラマブルイベントカルキュレ
ータをそれぞれ含む複数のタイミングジェネレータと
を含むタイミングジェネレータモジュールと、

個々のタイミングジェネレータをコンタクトポイントに選択的に関係付けし、
タイミングジェネレータとコンタクトポイントとの関係付けがソフトウェア制御
により再割り当て可能な再構成可能アロケータユニットと、

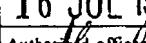
異なるコンタクトポイントと関係付けしたタイミングジェネレータがデータを
やりとりすることを可能にする通信ネットワークと
を備えたことを特徴とするテスト。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/US97/23073

A. CLASSIFICATION OF SUBJECT MATTER		
IPC(6) : G01R 31/28, G06F 11/00 US CL : 371/22.1 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) U.S. : 371/22.1,22.35, 22.36, 22.6, 27.5, 27.7; 395/183.19, 183.15; 364/488, 489, 550, 580; 324/158.1, 765;		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) IEEE CD ROM DATABASES		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US, A, 5,504,670 (BARTH et al) 02 April 1996, col. 3, lines 10-67, col. 8, lines 1+, col. 10, lines 45+, col. 10, lines 45+.	1-10, 20-22
X	US, A, 5,477,139 (WEST et al) 19 December 1995, col. 2, lines 40-67.	1-5, 7-9, 20-22
X	US, A, 5,583,430 (DINTEMAN) 10 December 1996, col. 4, lines 30+, col. 4, lines 43+.	7-9, 20-22
A	US, A, 5,511,212 (ROCKOFF) 23 April 1996.	1-22
A	US, A, 5,499,248 (BEHRENS et al) 12 March 1996.	1-31
A	US, A, 5,461,310 (CHEUNG et al) 24 October 1995.	1-31
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "A" document defining the general state of the art which is not considered to be of particular relevance "B" earlier document published on or after the international filing date "L" document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search	Date of mailing of the international search report	
01 APRIL 1998	16 JUL 1998	
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703) 305-3230	Authorized Officer  ROBERT W. BEAUSOLIEL Telephone No. (703) 305-9713	

INTERNATIONAL SEARCH REPORT

International application No.

PCT/US97/23073

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US, A, 5,673,272 (Proskauer et al) 30 Sep. 1997.	1-31

フロントページの続き

(81)指定国 EP(AT, BE, CH, DE,
DK, ES, FI, FR, GB, GR, IE, IT, L
U, MC, NL, PT, SE), EA(AM, AZ, BY
, KG, KZ, MD, RU, TJ, TM), AL, AM
, AT, AU, AZ, BA, BB, BG, BR, BY,
CA, CH, CN, CU, CZ, DE, DK, EE, E
S, FI, GB, GE, GH, HU, IL, IS, JP
, KE, KG, KP, KR, KZ, LC, LK, LR,
LS, LT, LU, LV, MD, MG, MK, MN, M
W, MX, NO, NZ, PL, PT, RO, RU, SD
, SE, SG, SI, SK, SL, TJ, TM, TR,
TT, UA, UG, US